

PHẦN II

KĨ THUẬT XUNG - SỐ

Chương 4

TÓM TẮT LÝ THUYẾT

1. Tranzito ở chế độ chuyển mạch (chế độ khóa) có điện áp ra chỉ ở một trong hai trạng thái phân biệt.

a) Trạng thái điện áp thấp khi tranzito mở bão hòa (với Bi - T là khi cả hai điôt của nó đều mở) với giá trị $0 < U_{ra} \leq U_{thấp}$ khi thỏa mãn điều kiện $U_{vào} \geq U_{cao}$

b) Trạng thái điện áp cao khi tranzito khóa dòng (với Bi-T là lúc cả hai điôt của nó đều khóa) với giá trị $U_{ra} \geq U_{cao}$ khi thỏa mãn điều kiện $U_{vào} \leq U_{thấp}$. Ở đây cái mức cố định $U_{thấp}$ và U_{cao} là biết trước và đặc trưng cho sơ đồ khóa sử dụng, thường có giá trị $U_{thấp} \leq 0,1E$, $U_{cao} \geq 0,3E$ với E là mức nguồn nuôi.

2. IC ở chế độ khóa chỉ ở 1 trong hai trạng thái điện áp ra phân liệt : hoặc ở mức điện áp cao là U_{max}^+ hoặc ở mức điện áp thấp là U_{max}^- (gọi là 2 mức bão hòa của IC, nếu được nuôi bằng nguồn đối xứng $\pm E$ nó có giá trị thấp hơn nguồn từ 1V đến 3V)

a) Bộ so sánh là 1 IC khóa có trạng thái ra được thiết lập nhờ hai điện áp đặt tới hai lối vào P và N của IC. Một điện áp được chọn làm mức ngưỡng cố định (nếu $U_{ngưỡng} \equiv U_P$ ta có bộ so sánh đảo, còn nếu $U_{ngưỡng} \equiv U_N$ ta có bộ so sánh

thuận), điện áp kia là điện áp tín hiệu cần so sánh để nhận biết trạng thái giá trị của nó đang hơn hay kém ngưỡng, thể hiện kết quả ở mức ra đang ở U_{\max}^+ hay U_{\max}^- (tùy loại so sánh đang sử dụng là thuận hay đảo).

b) Nếu sử dụng hai IC khóa kiểu một thuận một đảo với 2 ngưỡng cố định khác nhau đặt tới chúng và cùng làm việc với một điện áp tín hiệu $U_{\text{vào}}$ cần so sánh, ta nhận được kiểu bộ so sánh cửa sổ (so sánh 2 ngưỡng) cho phép ta nhận biết $U_{\text{vào}}$ có nằm trong (hay nằm ngoài) khoảng ngưỡng này nhờ trạng thái ra ở 1 trong hai trị bão hòa tương ứng.

3. Bộ so sánh 2 ngưỡng có trễ (Trigơ Smit) là bộ tạo dạng xung vuông góc cùng tần số từ một tín hiệu tuần hoàn có dạng bất kì. Đây là dạng 1 bộ so sánh 2 ngưỡng chỉ dùng một IC và các giá trị điện áp ngưỡng được lấy từ các mức ra bão hòa U_{\max}^+ hay U_{\max}^- thông qua 1 mạch hồi tiếp dương. Khi điện áp cần so sánh $U_{\text{vào}}$ đạt tới lối P ta có Smit kiểu thuận, ngược lại, khi $U_{\text{vào}} = U_N$ ta có Smit kiểu đảo. Các giá trị ngưỡng được xác định theo thông số của mạch hồi tiếp dương bởi các hệ thức (3.9) đến (3.13) SGK.

4. a) Bộ đa hài đợi dùng để tạo dạng xung vuông góc có độ rộng tùy chọn (theo tham số của sơ đồ), với chu kỳ xung bằng chu kỳ điện áp kích thích ở lối vào. Thời điểm xuất hiện điện áp kích thích (cũng là lúc bắt đầu xuất hiện xung vuông góc lối ra) mang ý nghĩa là 1 mốc thời gian đánh dấu lúc bắt đầu hay kết thúc một thao tác nào đó trong một hệ có điều khiển (chủ động có chờ đợi). Hệ thức xác định tham số xung là (3.19) (3.21)

b) Bộ đa hài tự dao động dùng để tạo xung vuông góc có chu kỳ và độ rộng tự chọn (theo tham số của sơ đồ, xem các công thức (3.23), (3.26) (3.27) và (3.28). Các xung vuông do đa hài tạo ra có độ ổn định tần số cao (nhờ vào biện pháp kĩ thuật đặc biệt) được dùng làm dãy xung nhịp đo thời gian và điều khiển trật tự làm việc của một hệ thống xung - số.

5. Bộ tạo xung tam giác dựa trên nguyên lí mạch tích phân để tạo dạng điện áp biến đổi tuyến tính theo thời gian. Điện

áp tam giác được coi như 1 dạng tín hiệu chuẩn theo hai bậc tự do (theo độ lớn và theo khoảng thời gian) có thể thực hiện được phép biến đổi giữa hai đại lượng này 1 cách đơn trị (trong nguyên lí ADC).

a) Có thể sử dụng quá trình phóng điện hay nạp điện chậm cho 1 tụ điện bằng 1 dòng điện ổn định từ 1 nguồn ổn dòng để tạo xung điện áp dạng tam giác. Chất lượng xung tam giác do độ ổn định của nguồn dòng quyết định.

b) Có thể kết hợp 1 bộ tạo xung vuông góc và 1 bộ tạo xung tam giác (nối tiếp phía sau) thực hiện trong 1 vùng hồi tiếp để đồng thời tạo ra 2 dạng tín hiệu trên (h.3.30 SGK), điện áp ra của bộ này dùng làm điện áp vào điều khiển của bộ kia không cần dùng kích thích ngoài.

6. Đại số logic là công cụ toán học để phân tích và tổng hợp trạng thái của các mạch số. Quan hệ logic (hàm logic) giữa các biến trạng thái (gọi là biến logic) được thực hiện nhờ ba phép toán logic cơ bản : phép phủ định logic, phép cộng logic (hoặc) và phép nhân logic (và) kết hợp với các định luật cơ bản : luật hoán vị, luật phân phối và luật kết hợp giữa các phép cộng và nhân logic và hai hằng số 1 và hằng số 0.

a) Luật hoán vị đối với phép cộng và phép nhân logic : nếu kí hiệu các biến logic là x, y, z , phép cộng (dấu $+$), phép nhân (dấu \cdot) thì :

Với phép cộng logic : $x + y + z = y + x + z = z + x + y = \dots$

Với phép nhân logic : $x \cdot y \cdot z = y \cdot x \cdot z = z \cdot x \cdot y = \dots$

b) Luật phân phối giữa phép cộng và phép nhân logic :

$$x(y + z) = xy + xz.$$

c) Luật kết hợp giữa 2 phép cộng và nhân logic :

$$x + y + z = (x + y) + z = z + (y + z) = \dots$$

$$x \cdot y \cdot z = (x \cdot y) \cdot z = x \cdot (y \cdot z) = \dots$$

7. Cần ghi nhớ 10 tiên đề (quy tắc) quan trọng của đại số logic đối với các phép tính logic đã nêu :

a) Quy tắc với phép phủ định logic : $\overline{(\overline{x})} = x$
 $\overline{(\overline{\overline{x}})} = \overline{x}$.

b) Quy tắc với phép cộng logic $x + x = x$; $x + 1 = 1$
 $x + 0 = x$; $x + \overline{x} = 1$

c) Quy tắc với phép nhân logic $x \cdot x = x$; $x \cdot 0 = 0$
 $x \cdot 1 = x$; $x \cdot \overline{x} = 0$.

d) Trong số các định lí suy ra từ hệ tiên đề trên, định lí lập hàm phủ định của 1 hàm bất kì đã cho (định lí Demorgan là quan trọng nhất :

$$\overline{F(x, \overline{y}, z, \dots)} = F(\overline{x}, y, \overline{z}, \dots)$$

Định lí Demorgan cho phép xây dựng các cấu trúc logic có tính đồng nhất cao, tính đối lẩn cao và nhờ đó tối ưu về tính kinh tế kĩ thuật cũng như công nghệ thực hiện đơn giản rẻ tiền hơn. Chú ý rằng các quy tắc và luật nêu trên cũng đúng cho trường hợp các kí hiệu x, y, z đại diện cho 1 tổ hợp đủ phức tạp của các biến logic.

8. Với 1 hàm logic bất kì cho trước cách biểu diễn quan hệ hàm ở dạng một biểu thức kí hiệu hàm, biến và các phép toán logic giữa chúng là phổ biến nhất, trong đó có 2 dạng cơ bản :

a) Biểu thức có dạng là 1 tổng của các tích các biến logic. Mỗi số hạng của tổng có thể đủ mặt các biến (dạng đầy đủ) hay không đủ mặt các biến (dạng khuyết) :

$$\text{Ví dụ : } F_1 = xy + \overline{xy} ; F_2 = \overline{xy} + xy$$

$$F_3 = xyz + \overline{xyz} + x\overline{yz} + xy\overline{z} \text{ (dạng đầy đủ)}$$

$$F_4 = xy + z \text{ (dạng khuyết).}$$

b) Biểu thức có dạng là 1 tích các tổng các biến, cũng có thể ở dạng đầy đủ hoặc ở dạng không đầy đủ (khuyết).

$$\text{Ví dụ : } \overline{F}_2 \equiv G_3 = (\overline{x} + \overline{y} + \overline{z})(\overline{x} + y + \overline{z})(x + \overline{y} + \overline{z}) \times \\ \times (\overline{x} + \overline{y} + z)$$

$$\overline{F}_4 \equiv G_4 = (\overline{x} + \overline{y}) \cdot \overline{z}.$$

9. Hàm logic bất kì còn có thể biểu diễn tương đương ở hai dạng thông dụng khác.

a) Hàm được biểu diễn dưới dạng 1 bảng liệt kê mọi trạng thái giá trị có thể của các biến và giá trị tương ứng của hàm ở từng trạng thái đã kê (gọi là bảng chân lí).

Ví dụ với các hàm đã nêu ở trên :

$$F_1 = xy + \bar{x}\bar{y} ; F_2 = \bar{x}y + x\bar{y}$$

hay $F_3 = xyz + \bar{x}yz + x\bar{y}z + xy\bar{z}$.

ta có các bảng chân lí tương đương sau :

x	y	F_1
0	0	1
0	1	0
1	0	0
1	1	1

x	y	F_2
0	0	0
0	1	1
1	0	1
1	1	0

x	y	z	F_3
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

b) Hàm được cho dưới dạng một đồ hình các ô vuông (bìa Cacno) sao cho mỗi ô tương ứng với 1 khả năng (1 trạng thái) có thể của các trị các biến logic và 2 ô kế nhau (tính kế nhau xét với cả biên giới giữa các hàng và các cột mép bìa) chỉ được phép có 1 biến logic khác trị số nhau, các biến còn lại của chúng phải đồng trị. Như vậy mỗi ô cũng tương ứng với một số hạng của tổng trong cách biểu diễn bằng biểu thức hay 1 dòng trong cách biểu diễn bằng bảng.

Ví dụ với các hàm F_1 , F_2 và F_3 đã nêu trên, ta có (chú ý : Trạng thái nào ở đó hàm nhận trị 1 thì ô tương ứng sẽ được gắn số 1, các ô ứng với trị $F = 0$ sẽ để trống hoặc ghi số 0)

F_1	$\overbrace{0 \quad 1}^x$				
$y \begin{cases} 0 \\ 1 \end{cases}$	<table style="border-collapse: collapse; width: 40px; height: 40px;"> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;"></td><td style="padding: 5px;">1</td></tr> </table>	1			1
1					
	1				

F_2	$\overbrace{0 \quad 1}^x$				
$y \begin{cases} 0 \\ 1 \end{cases}$	<table style="border-collapse: collapse; width: 40px; height: 40px;"> <tr><td style="padding: 5px;"></td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;"></td></tr> </table>		1	1	
	1				
1					

F_3	$\overbrace{00 \quad 01 \quad 11 \quad 10}^{xy}$								
$z \begin{cases} 0 \\ 1 \end{cases}$	<table style="border-collapse: collapse; width: 80px; height: 40px;"> <tr><td style="padding: 5px;"></td><td style="padding: 5px;"></td><td style="padding: 5px;">1</td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;"></td><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td></tr> </table>			1			1	1	1
		1							
	1	1	1						

10. Cần nắm vững các phương pháp biểu diễn hàm logic nêu trên và cách thức chuyển đổi từ dạng biểu diễn này sang dạng khác, khi chuyển cách biểu diễn, cần lưu ý các nhận xét sau :

a) Các cách biểu diễn bằng bảng hay bìa Carno chỉ tương đương với dạng biểu thức đầy đủ (đủ mặt tất cả các biến trong tất cả các số hạng). Khi gặp dạng rút gọn, trước khi chuyển sang biểu diễn bằng bảng hay bìa, phải đưa biểu thức hàm về dạng đầy đủ nhờ các quy tắc thích hợp (ví dụ $x + \bar{x} = 1$; $x + x = x...$, $x \cdot 1 = x$, $x \cdot x = x$...)

b) Dạng biểu thức là tổng các tích (đầy đủ) tương ứng với các dòng (hay các ô bìa) ở đó hàm logic nhận trị 1. Ngược lại dạng biểu thức là tích các tổng các biến sẽ tương ứng với biểu diễn của hàm đảo (của hàm đã cho ở dạng tổng các tích) và do vậy sẽ tương ứng với dòng hay ô ở đó hàm nhận trị 0.

Ví dụ : ta lấy cách biểu diễn bảng hay bìa của F_1 hay F_2 đã cho :

x y	F_1	F_2
0 0	1	0
0 1	0	1
1 0	0	1
1 1	1	0

F_1	$\overbrace{0 \quad 1}^x$				
$y \begin{cases} 0 \\ 1 \end{cases}$	<table style="border-collapse: collapse; width: 40px; height: 40px;"> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;"></td></tr> <tr><td style="padding: 5px;"></td><td style="padding: 5px;">1</td></tr> </table>	1			1
1					
	1				

F_2	$\overbrace{0 \quad 1}^x$				
$y \begin{cases} 0 \\ 1 \end{cases}$	<table style="border-collapse: collapse; width: 40px; height: 40px;"> <tr><td style="padding: 5px;"></td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;"></td></tr> </table>		1	1	
	1				
1					

• Với hàm F_1 , dạng biểu thức ứng với các dòng (hay ô) có trị 1 : $F_1 = \bar{x}\bar{y} + x.y$ (1)

(khi biến nhận trị 0 ta quy ước viết ở dạng phủ định, còn khi biến nhận trị 1 ta viết biến không có dấu phủ định).

• Nếu viết F_1 với dòng 2 và dòng thứ 3 (trị $F_1 = 0$) ta có :

$$F_1 = (\bar{x} + y)(x + \bar{y}) \quad (2)$$

• Nếu viết F_1 theo các dòng 1 và dòng 4 ta có :

$$F_1 = (x + y)(\bar{x} + \bar{y}) \quad (3)$$

Nếu khai triển (2) hoặc (3) ta sẽ đưa được F_1 về đồng nhất với dạng (1) ; ví dụ :

$$\text{Từ (2) : } F_1 = \bar{x}x + \bar{x}\bar{y} + yx + y\bar{y} \text{ (Áp dụng luật phân phối)}$$

$$= 0 + \bar{x}\bar{y} + y.x + 0 \text{ (áp dụng tiên đề } x\bar{x} = 0).$$

$$= \bar{x}\bar{y} + xy \text{ (áp dụng luật hoán vị)}$$

hoặc từ (3) lập :

$$F_1 = \overline{\overline{F_1}} \text{ (theo tiên đề 2 lần phủ định)} = \overline{(\bar{x} + y) \cdot (\bar{x} + \bar{y})}$$

$$= \bar{x} \cdot \bar{y} + \bar{x} \cdot \bar{y} \text{ (theo định lí Demorgan)}$$

$$= \bar{x}\bar{y} + xy \text{ (tiên đề 2 lần phủ định).}$$

11. Tối thiểu hóa hàm logic là bài toán đưa hàm về dạng rút gọn theo các ý nghĩa :

• Số lượng các phép toán logic (hay các phân tử logic thực hiện phép toán tương ứng) dùng để thực hiện hàm logic đã cho là ít nhất.

• Số loại phân tử (loại dạng phép toán logic) để thực hiện hàm là tối thiểu.

Khi sử dụng quy tắc Cacno để tối thiểu hóa hàm logic (dán ô) cần chú ý các nhận xét quan trọng sau :

a) Quy tắc phát biểu là "nếu có 2^n ô có trị 1 nằm kế nhau hợp thành 1 khối vuông hay chữ nhật thì có thể thay 2^n ô nhỏ này bằng chỉ 1 ô lớn với số lượng biến giảm đi n ".

b) Số ô nhỏ được gom lại trong 1 ô lớn phải hình thành 1 khối vuông hay chữ nhật và là tối đa tới mức có thể, thỏa mãn điều kiện 2^n (với n là 1 số nguyên $n = 1, 2, 3, \dots$)

c) Số các ô lớn (nhóm) độc lập (không chứa nhau) sau khi gom lại là lượng ít nhất.

d) Số các ô nằm tại mép bìa theo định nghĩa cũng là các ô nằm kế nhau (là chỉ có 1 biến khác trị nhau).

e) 1 ô nhỏ có trị 1 có thể tham gia đồng thời vào nhiều nhóm (ô lớn) khác nhau do hệ quả của tiên đề $x + x = x$.

f) Nếu trong biểu diễn bìa Cacno của 1 hàm nào đó có các ô mà ở đấy hàm không xác định (các tổ hợp trạng thái không dùng đến) thì có thể sử dụng chúng cho mục đích tối thiểu hóa bằng cách gán cho ô này trị 1.

g) Nếu số lượng các ô trống (có trị 0) ít hơn thì có thể tối thiểu hóa hàm phủ định logic của hàm đã cho bằng cách dán các ô trị 0 giống như quy tắc đã làm đối với các ô trị 1 đã nêu trên.

12. a) Các hàm logic cơ bản bao gồm :

Hàm phủ định logic (không) $F_{NO} = \bar{x}$

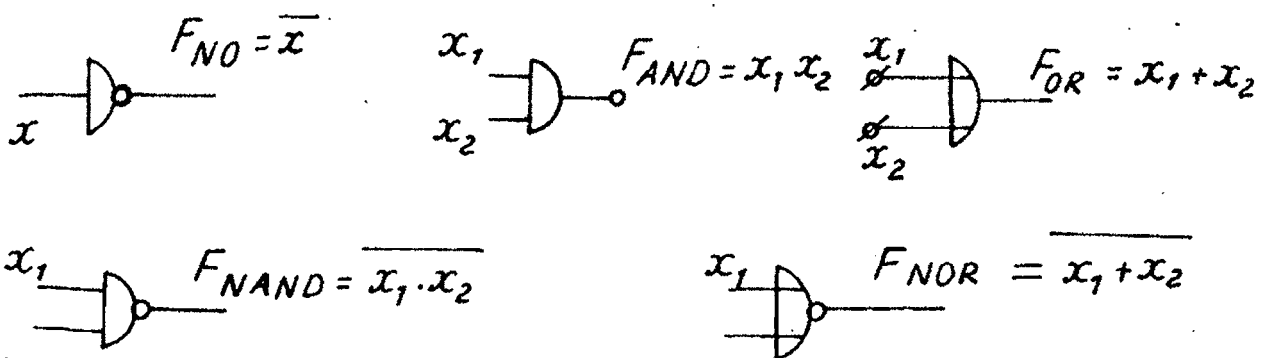
Hàm nhân logic (và) $F_{AND} = x_1 \cdot x_2$

Hàm cộng logic (hoặc) $F_{OR} = x_1 + x_2$

Hàm và -không $F_{NAND} = \overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$

Hàm hoặc -không $F_{NOR} = \overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$

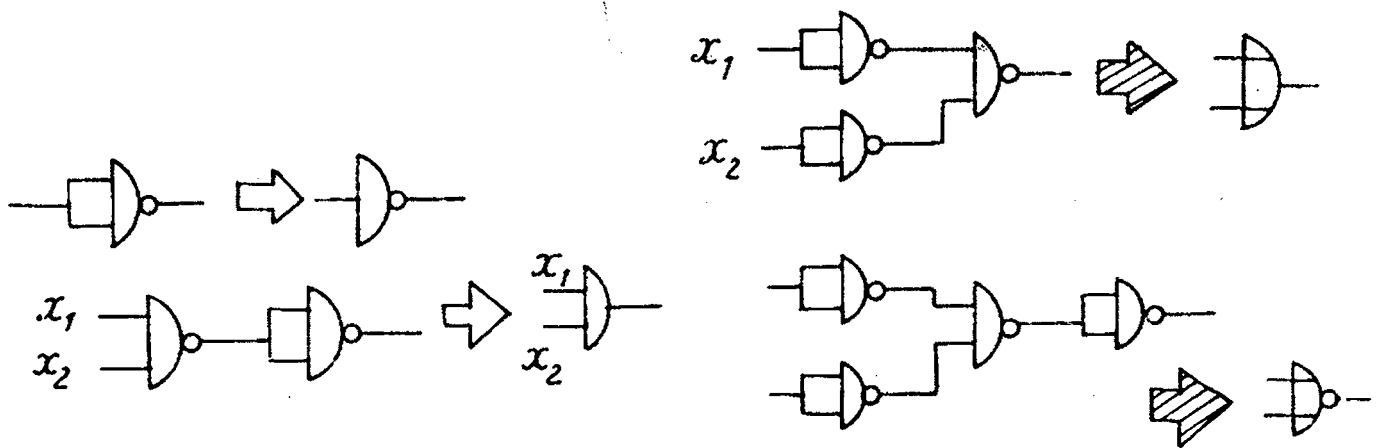
b) Để thực hiện 5 hàm logic cơ bản, người ta xây dựng 5 phần tử logic cơ bản (bằng các mạch điện tử thích hợp), chúng có tên gọi tương ứng và được kí hiệu là :



Hình 4.1

c) Các phần tử và -không, hoặc -không có tính tương thích kĩ thuật cao, tính vạn năng thể hiện ở đặc điểm là các phần tử logic cơ bản còn lại đều có thể được xây dựng chỉ từ 1 vài phần tử và -không hay 1 vài phần tử hoặc -không :

Ví dụ : từ và -không ta có thể nhận được các phần tử còn lại bằng cách sau :



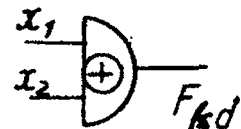
Hình 4.2

13. Các hàm logic thông dụng thường gặp bao gồm :

Hàm khác dấu (hay cộng môđun nhị phân) và kí hiệu phần tử logic tương ứng $F_{kd} = x_1x_2 + \bar{x}_1\bar{x}_2 = x_1 \oplus x_2$

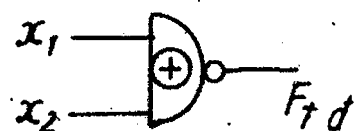
Hàm cùng dấu (hay hàm tương đương) và kí hiệu phần tử tương đương :

$$F_{td} = x_1x_2 + \bar{x}_1 \cdot \bar{x}_2 = \overline{x_1 \oplus x_2}$$



Hàm đa số :

$$\begin{aligned} F_{ds} &= x_1 \# x_2 \# x_3 = x_1x_2 + x_2x_3 + x_1x_3 \\ &= x_1x_2x_3 + \bar{x}_1x_2x_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3 \end{aligned}$$



Hàm nửa tổng

$$\begin{cases} S = x_1 \oplus x_2 \\ P = x_1x_2 \end{cases}$$

Hàm tổng đầy đủ : $S_k = [x_k \oplus y_k] \oplus P_{k-1}$

$$P_k = x_k y_k + [x_k \oplus y_k] \cdot P_{k-1}$$

Bảng trạng thái các hàm trên :

$x_1 x_2$	F_{kd}	F_{td}	F nửa tổng	
			S	P
0 0	0	1	0	0
0 1	1	0	1	0
1 0	1	0	1	0
1 1	0	1	0	1

$x_1 x_2 x_3$	$F_{đa số}$
0 0 0	0
0 0 1	0
0 1 0	0
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	1
1 1 1	1

$x_k y_k P_{k-1}$	$F_{tổng}$	
	S_k	P_k
0 0 0	0	0
0 0 1	1	0
0 1 0	1	0
0 1 1	0	1
1 0 0	1	0
1 0 1	0	1
1 1 0	0	1
1 1 1	1	1

Tất cả các hàm trên đều có thể xây dựng từ cấu trúc hỗn hợp các phần tử cơ bản (không, và, hoặc logic) hay từ cấu trúc thuần nhất chỉ gồm các phần tử và -không hoặc chỉ gồm các phần tử hoặc -không. Để thực hiện được cấu trúc thuần nhất thường phải biến đổi biểu thức của hàm về dạng thích hợp nhờ định lý Demorgau.

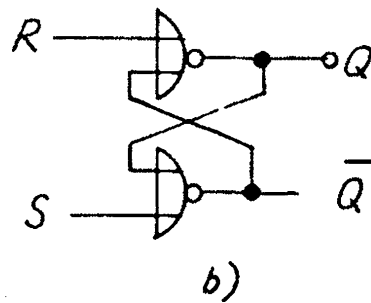
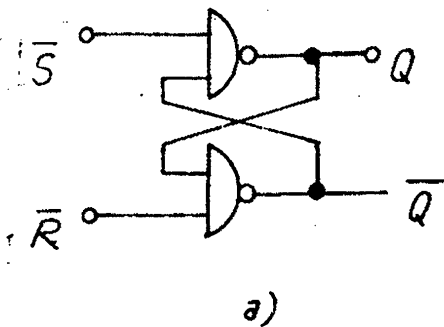
14. Trigrơ số được xây dựng từ 1 cấu tạo gồm 2 phần tử NAND hoặc hai phần tử NOR bao nhau nhờ 2 vòng hồi tiếp dương kín :

a) Bảng trạng thái tương ứng :

\bar{S}_n	\bar{R}_n	Q_{n+1}
0	0	cắm
0	1	1
1	0	0
1	1	Q_n

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	cắm

b) Lưu ý nhóm có cấu tạo từ NAND chỉ chuyển biến với sườn âm (đi xuống "1 → 0") của xung vào, còn nhóm với cấu tạo từ NOR chỉ chuyển trạng thái ra với sườn dương (đi lên 0 → 1) của xung vào :



Hình 4.3

c) Các loại Trigrơ số phức tạp hơn (D, T, MS, JK) đều được xây dựng trên cơ sở từ hai cấu trúc cơ bản đã nêu trên.

d) Trigrơ JK có tính chất vạn năng, tức là từ nó có khả năng xây dựng tất cả các loại RS, T... còn lại. Hai bảng trạng thái của Trigrơ đếm T và Trigrơ vạn năng JK có dạng :

T_n	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Tức là Trigrơ T lật sau mỗi xung vào của đếm T.

Trigrơ JK có 3 khả năng hoạt động :

- Khi $J = K = 1$ nó làm việc như Trơ đếm T.
- Khi $J \neq K$ trạng thái ra có trị giống trạng thái giá trị lỗi vào J
- Khi $J = K = 0$ trạng thái ra của Trơ đếm được bảo toàn (giữ nguyên như trước đó).

Chương 5

BÀI TẬP PHẦN II CÓ LỜI GIẢI

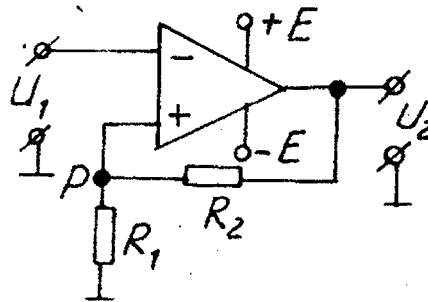
Bài tập 5.1. Cho mạch điện hình 5.1

Biết rằng $\pm E = \pm 15V$.

$$U_{\max}^+ = +12V ; -U_{\max}^- = -12V$$

$$R_1 = 10 \text{ k}\Omega ; R_2 = 30 \text{ k}\Omega$$

$U_1(t)$ có dạng điện áp hình tam giác đối xứng qua gốc tọa độ với biên độ $U_{1m} = \pm 6V$ và chu kì $T_1 = 20ms$.



Hình 5.1

a) Hãy vẽ dạng đặc tuyến truyền đạt điện áp của mạch $U_2 (U_1)$ trong hai trường hợp :

1) IC là lí tưởng (với tốc độ chuyển mạch giữa 2 mức bão hòa là vô cùng lớn - thời gian trễ chuyển mạch bằng 0)

2) IC thực tế có tốc độ tăng điện áp là $0,5 \mu s/V$

b) Xác định dạng $U_2(t)$ và các tham số : chu kì, biên độ và thời gian trễ pha đầu của $U_2(t)$ so với $U_1(t)$ đã biết khi coi IC là lí tưởng.

c) Để nhận được giá trị biên độ U_{2m} trong giới hạn :

$$-0,6V \leq U_{2m} \leq +5V \text{ với } I_2 = 10mA$$

cần bổ sung 1 mạch hạn chế biên độ ở lối ra, xác định giá trị điện trở R_{hc} và vẽ dạng mạch này.

Bài giải :

a) Ta tìm dạng đặc tuyến U_2 (U_1) trong trường hợp lí tưởng. Mạch đã cho có dạng là 1 bộ so sánh có trễ kiểu đảo (Trigon Smit đảo) với 2 mức ngưỡng đặt tới lối vào P là :

• Khi U_2 ở mức bão hòa dương : $U_2 = U_{\max}^+ = +12V$, qua mạch hồi tiếp dương R_1 và R_2 với hệ số hồi tiếp :

$$\beta = \frac{R_1}{R_1 + R_2} = \frac{10 \text{ k}\Omega}{10 \text{ k}\Omega + 30 \text{ k}\Omega} = 0,25$$

ta nhận được $U_p^+ = U_{\text{ngắt}} = \beta U_{\max}^+ = 0,25 \cdot 12 = +3V$.

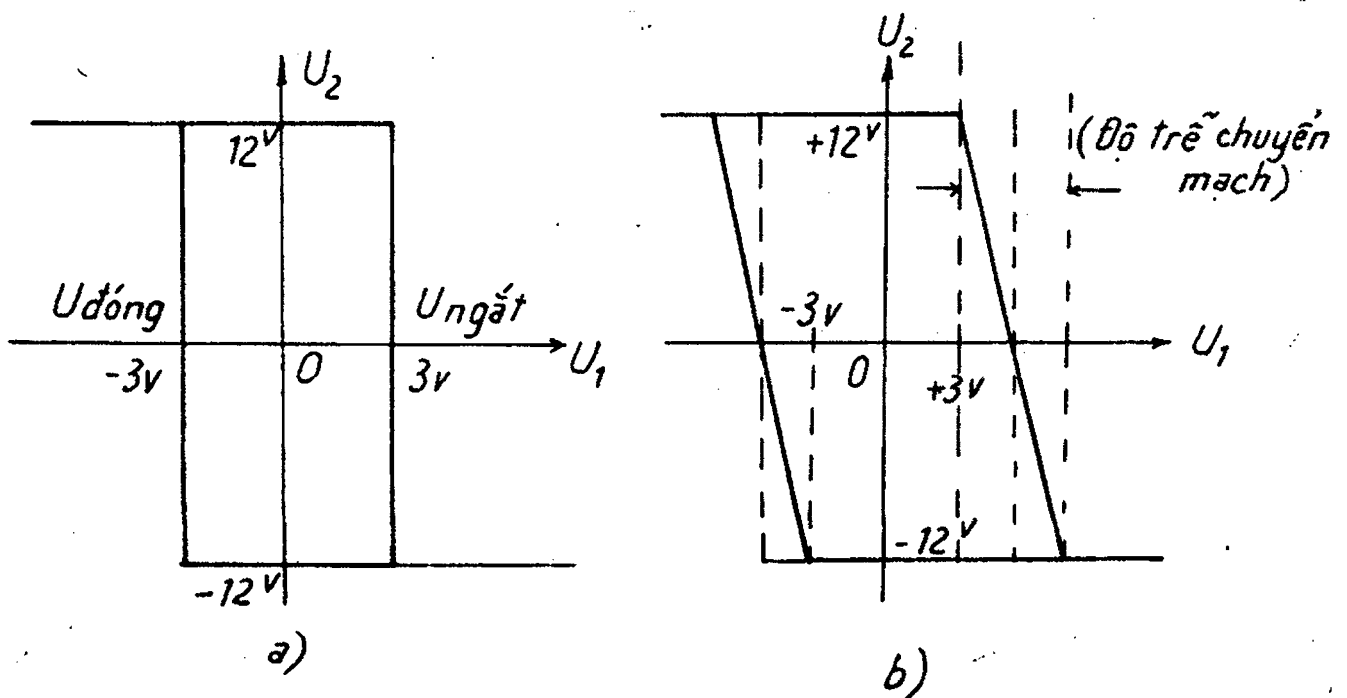
• Khi U_2 ở mức bão hòa âm $U_2 = -U_{\max}^- = -12V$

ta nhận được ngưỡng thứ hai của sơ đồ :

$$U_p^- = U_{\text{dóng}} = -\beta U_{\max}^- = 0,25 (-12V) = -3V$$

Vậy đặc tuyến truyền đạt lí tưởng có dạng hình 5.2a.

Đặc tuyến truyền đạt thực tế với tốc độ thay đổi điện áp lối ra là $0,5 \mu s/V$, để chuyển từ mức bão hòa dương sang mức bão hòa âm hoặc ngược lại cần tốn 1 khoảng thời gian chuyển mạch sau khi U_1 đạt tới ngưỡng là :

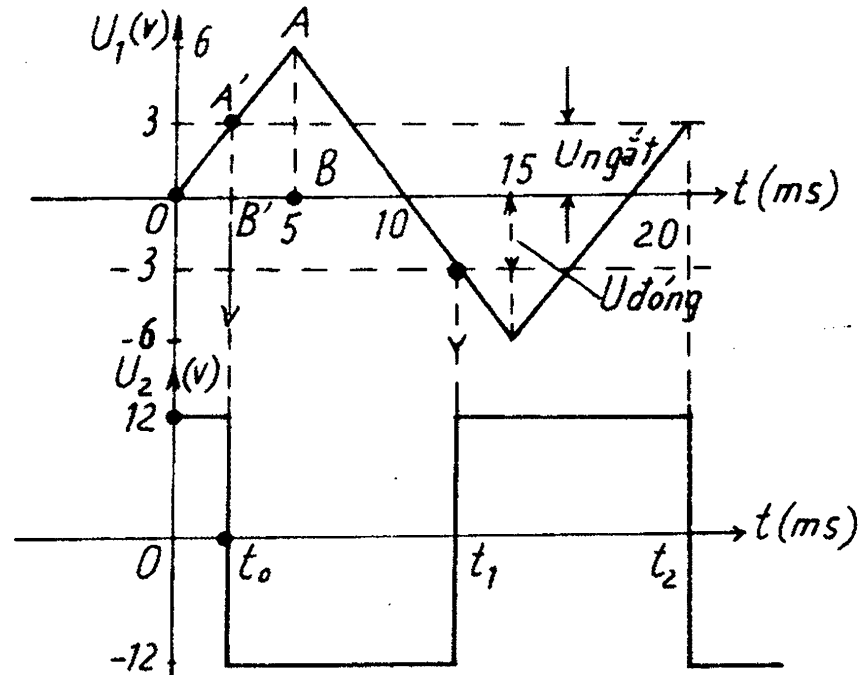


Hình 5.2

$$\tau_{\text{trễ}} = 0,5 \mu\text{s/V} (U_{\text{max}}^+ + |U_{\text{max}}^-|)$$

$$= 0,5 \cdot \mu\text{s/V} \cdot 24\text{V} = 12 \mu\text{s}.$$

b) Xác định các tham số và dạng của $U_2(t)$ trong trường hợp lí tưởng, với $U_1(t)$ dạng tam giác cho trước.



Hình 5.3

Biểu diễn $U_2(t)$ theo $U_1(t)$ ta nhận được đồ thị hình (5.3). Dạng $U_2(t)$ là 1 xung vuông góc, cùng chu kì $U_1(t)$:

$$T_2 = T_1 = 20\text{ms}$$

$$(T_2 = t_2 - t_0)$$

Biên độ $U_2(t)$ do mức bão hòa U_{max}^+ và U_{max}^- của IC quyết định nên $U_{2\text{max}} = +12\text{V} (= U_{\text{max}}^+)$ và

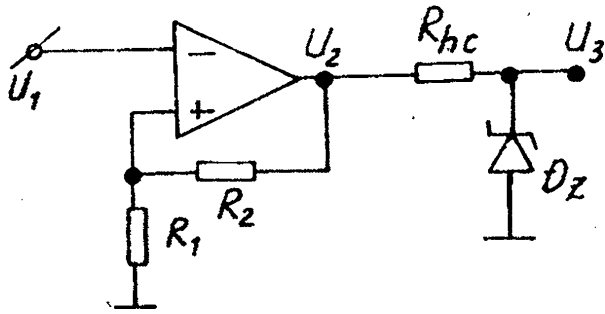
$$U_{2\text{min}} = -U_{\text{max}}^- = -12\text{V}.$$

Thời gian chậm pha của U_2 so với U_1 được xác định bởi thời gian tăng của $U_1(t)$ từ lúc $t = 0$ đến lúc $t = t_0$ là lúc U_1 đạt tới ngưỡng $U_{\text{đóng}} = \beta U_{\text{max}}^+ = +3\text{V}$ trị số t_0 dễ dàng xác định từ quy tắc tam giác đồng dạng OAB và OA'B' có các cạnh tương ứng :

$$\frac{OA}{OA'} = \frac{OB}{OB'} = \frac{AB}{A'B'} \rightarrow OB' = \frac{OB \cdot A'B'}{AB}$$

Suy ra $t_0 = OB' = \frac{5(\text{ms}) \cdot 3(\text{V})}{6(\text{V})} = 2,5 \text{ ms.}$

c) Mạch hạn biên bổ sung vào được vẽ như ở hình 5.4



Hình 5.4

Chọn mức $U_2 = 5\text{V}$ ta có :

khi $U_2 = -12\text{V} = -U_{\text{max}}^-$
(trong khoảng $t_0 < t < t_1$)

D_z mở theo chiều thuận như 1 diôt thông thường và $U_3 = -U_D = -0,6\text{V.}$

Còn trong khoảng thời gian $t_1 < t < t_2,$

$$U_2 = U_{\text{max}}^+ = +12\text{V.}$$

D_z làm việc ở chế độ đánh thủng zener, do đó :

$U_3 = U_2 = +5\text{V.}$ Vậy mạch hạn biên thực hiện được điều kiện hạn chế 2 phía $-0,6\text{V} \leq U_{3m} \leq +5\text{V.}$

Với dòng $I_2 = 10\text{mA},$ sụt áp trên điện trở R_{hc} là $+12\text{V} - 5\text{V} = +7\text{V},$ do vậy trong khoảng $t_1 < t < t_2$ trị số R_{hc} được xác định bởi

$$R_{hc1} = \frac{12\text{V} - 5\text{V}}{10 \cdot 10^{-3}(\text{A})} = 700\Omega$$

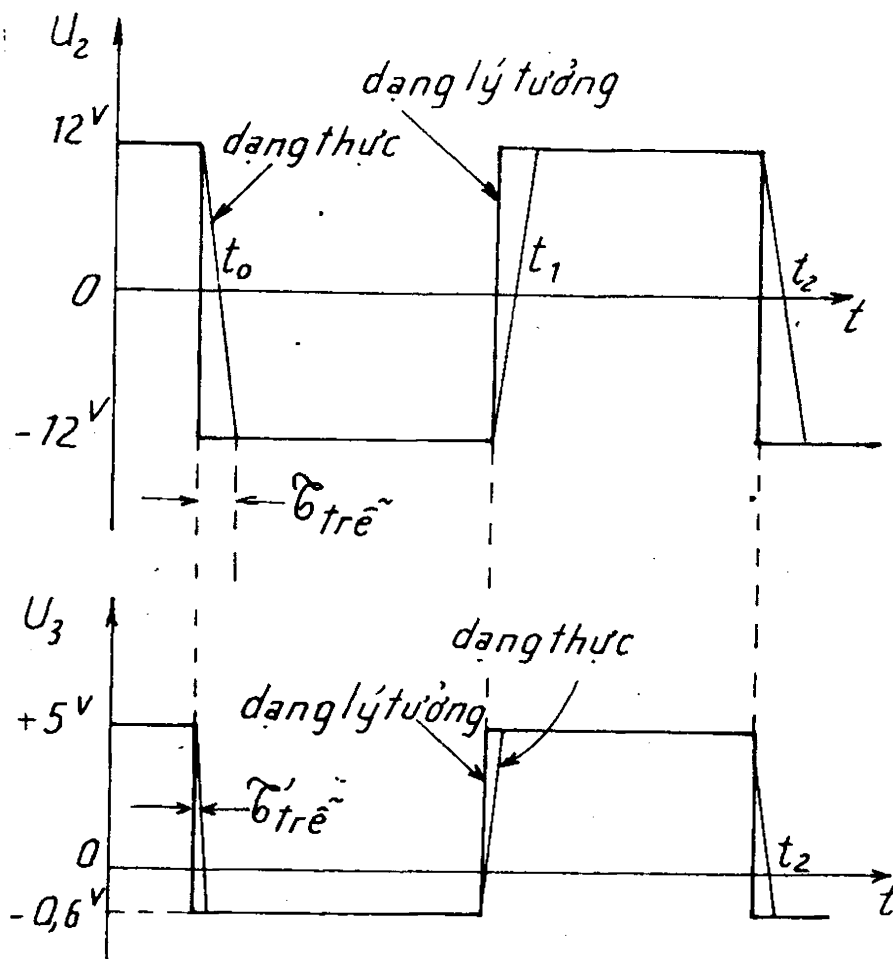
Trong khoảng $t_0 < t < t_2,$ sụt áp trên R_{hc} là

$$-12\text{V} + 0,6\text{V} = -11,4\text{V} \text{ do đó } R_{hc2} = \frac{|-11,4|\text{V}}{|10\text{mA}|} = 1,14\text{k}\Omega.$$

Kết quả chọn giá trị R_{hc} là trị trung bình của hai giá trị đã tính trong 2 nửa chu kì của $U_2(t) :$

$$R_{hc} = \frac{R_{hc1} + R_{hc2}}{2} = \frac{700 + 1140}{2} = 920\Omega$$

• Lưu ý rằng, nếu để ý tới tính chất quá độ (trễ) của vi mạch thực thì dạng $U_2(t)$ và do đó $U_3(t)$ có khác đi thể hiện trên hình 5.5



Hình 5.5

Ta nhận thấy ngay rằng do tác dụng của khâu mạch hạn chế, thời gian trễ của điện áp lối ra giảm đi đáng kể so với trước đây :

Khi chưa có mạch hạn chế, ta đã tính được thời gian cần thiết để U_2 chuyển từ mức U_{max}^+ đến U_{max}^- hay ngược lại là :

$$\tau_{trê} = 0,5 \mu s/V \cdot [+12V - (-12V)] = 12\mu s.$$

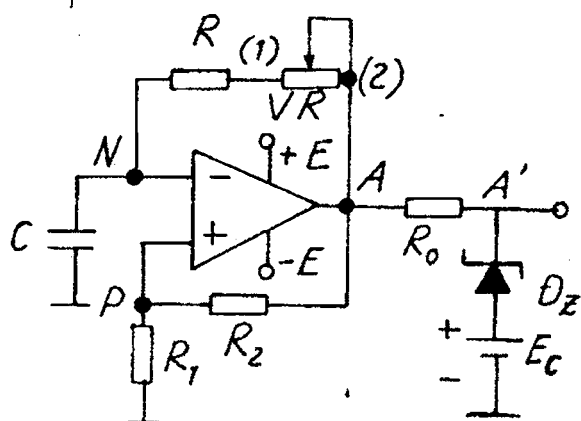
Sau khi có mạch hạn chế, thời gian này là :

$$\tau'_{trê} = 0,5 \mu s/V \cdot [+5V - (-0,6V)] = 2,8 \mu s$$

$\tau_{trê}$ giảm được khoảng trên 75% so với giá trị trước.

(Chú ý rằng thời gian trễ đã tính được phù hợp với loại IC không chuyên dụng, trong trường hợp dùng IC so sánh chuyên dụng, thời gian này sẽ giảm đi hai hay ba cấp).

Bài tập 5.2. Cho mạch điện hình 5.6



Hình 5.6

a) Nêu các nhiệm vụ của mạch đã cho.

b) Vẽ các dạng điện áp biến đổi theo thời gian tại các điểm N, P, A của mạch (giả thiết đã biết U_{\max}^+ , U_{\max}^-).

c) Biết $R = 10\text{k}\Omega$;
 $VR = 10\text{k}\Omega$

$$R_1 = R_2 = 9,1\text{k}\Omega$$

$$C = 0,1\mu\text{F} ; \pm E = \pm 15\text{V}$$

Xác định giá trị tần số của điện áp tại điểm A tương ứng với hai vị trí giới hạn (1) và (2) của VR.

d) Xác định dạng điện áp tại A' và trị số điện trở R_0 khi không tải, biết rằng Diốt Zener có $U_Z = +5\text{V}$; $I_Z = 10\text{mA}$ và $E_0 = +3,6\text{V}$.

Bài giải :

a) Mạch đã cho có dạng 1 bộ đa hài tự dao động dùng IC ở chế độ khóa, có bao vòng hồi tiếp dương dùng R_1 , R_2 kết hợp với một khâu mạch hạn chế biên độ điện áp ra dùng D_Z . Vậy mạch có hai nhiệm vụ :

1) Tự tạo xung vuông góc có tần số thay đổi được (do IC, R_1 , R_2 , R, VR và C đảm nhiệm).

2) Hạn chế biên độ xung vuông đã tạo ra ở cả hai phía trên và phía dưới (do R_0 , E_0 và D_Z thực hiện).

b) IC làm việc ở chế độ khóa nên biên độ điện áp lối ra chỉ ở một trong hai trạng thái bão hòa của vi mạch là $U_A = U_{\max}^+$ (khi có bão hòa dương) hay $U_A = -U_{\max}^-$ (khi có bão hòa âm). U_A có dạng là 1 xung vuông góc, qua mạch hồi tiếp dương R_1 , R_2 , tại lối vào P có một trong hai điện áp ngưỡng đạt tới là

$$U_p^+ = \frac{R_1}{R_1 + R_2} U_{\max}^+ \quad \text{và} \quad U_p^- = -\frac{R_1}{R_1 + R_2} U_{\max}^-$$

$$= \beta U_{\max}^+ ; \quad = -\beta U_{\max}^-$$

Ở đây ta kí hiệu $\beta = \frac{R_1}{R_1 + R_2}$ là hệ số hồi tiếp dương.

Các giá trị U_{\max}^+ hay $-U_{\max}^-$ qua mạch R, VR nạp (hay phóng) cho tụ C cho tới khi U_C đạt tới ngưỡng βU_{\max}^+ (hay $-\beta U_{\max}^-$) thì sơ đồ lật sang trạng thái bão hòa kia. Từ việc phân tích trên, các điện áp U_p , $U_N = U_C$ và U_A có dạng như hình 5.7.

c) Chu kì của xung vuông góc $U_A(t)$ được xác định theo hệ thức :

$$T = 2(R + VR) \cdot C \cdot \ln\left(1 + \frac{2R_1}{R_2}\right)$$

khi $R_1 = R_2$ ta có

$$T = 2,2 (R + VR) \cdot C$$

Tại (1) $VR = 0$

ta có $T_{(1)} = 2,2 RC$; thay giá trị R và C đã cho có :

$$= 2,2 \cdot 10 \cdot 10^3 \cdot 0,1 \cdot 10^{-6} = 2,2 \cdot 10^{-3} \text{s}$$

tại (2) có $VR = 10\text{k}\Omega$, thay các giá trị đã cho của R và C vào, ta có :

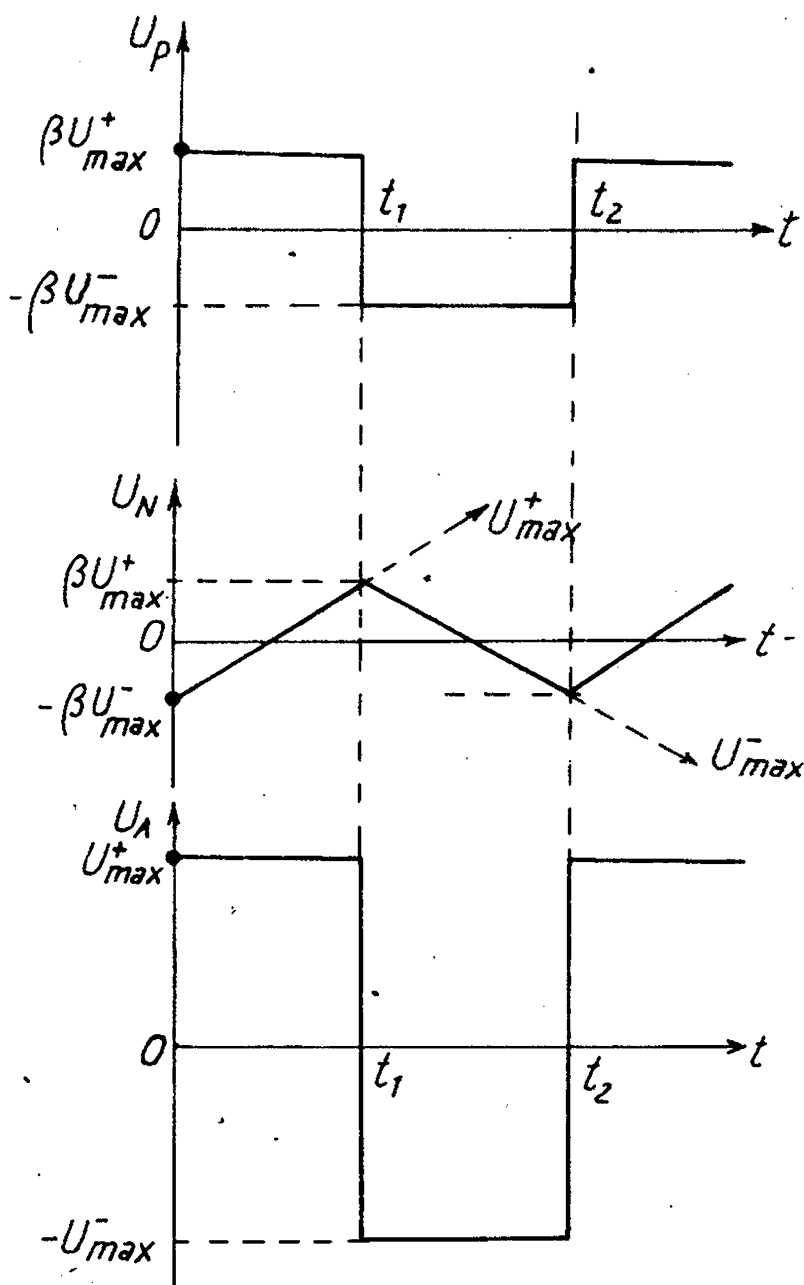
$$T_{(2)} = 4,4 \cdot 10 \cdot 10^3 \cdot 0,1 \cdot 10^{-6} = 4,4 \cdot 10^{-3} \text{s}.$$

Vậy tần số của $U_A(t)$ thay đổi trong giới hạn là :

$$F_{(1)} = \frac{1}{T_{(1)}} = \frac{1}{2,2 \cdot 10^{-3}} \approx 454 \text{ Hz}.$$

$$F_{(2)} = \frac{1}{T_{(2)}} = \frac{1}{4,4 \cdot 10^{-3}}$$

$$\approx 227 \text{ Hz}.$$



Hình 5.7

d) Khâu mạch gồm R_o , E_o , Dz như đã nêu trên có nhiệm vụ hạn chế biên độ xung vuông góc $U_A(t)$ ở cả 2 mức trên và dưới. Các ngưỡng hạn chế này có thể xác định được từ các mức bão hòa $U_{max}^+ = 12V$ và $U_{max}^- = -12V$. Vì điốt Zener làm việc ở 2 chế độ nên :

1) Khi $U_A = U_{max}^+ = 12V$ (trong khoảng $0 < t < t_1$) thì Dz ở chế độ ổn áp với $U_z = +5V$ do vậy $U'_{A1} = U_z + E_o = +5V + 3,6V = 8,6V$.

Ngưỡng hạn chế phía trên của sơ đồ là $+8,6V$.

2) Khi $U_A = -U_{max}^-$ (trong khoảng thời gian $t_1 < t < t_2$) = $-12V$

thì Dz làm việc ở chế

độ mở như một điốt thông thường và khi đó ngưỡng hạn chế là :

$$U'_{A2} = E_o - U_D = 3,6V - 0,6V = +3V.$$

Kết hợp hai kết quả trên, ta nhận được đồ thị $U'_A(t)$ dạng hình 5.8 :

Xác định R_o bằng cách tính giá trị trung bình trong hai trường hợp đã xét :

• Khi hạn chế ở ngưỡng trên :

$$R_{01} = \frac{U_A - U'_{A1}}{I_z} = \frac{12V - 8,6V}{10 \text{ mA}} = 340\Omega$$

• Khi hạn chế ở ngưỡng dưới :

$$R_{02} = \frac{U_A - U'_{A2}}{I_z} = \frac{12V - 3V}{10 \text{ mA}} = 900\Omega$$

Từ đó giá trị R_o được tính là

$$R_o = \frac{R_{01} + R_{02}}{2} = \frac{340 + 900}{2} = 620\Omega.$$

Bài tập 5.3. Cho mạch điện hình 5.9.

Cho $\pm E = \pm 9V$; $R = 50k\Omega$

$R_1 = R_2 = 10k\Omega$; $C = 1 \mu F$.

$U_1(t)$ có dạng xung vuông góc :

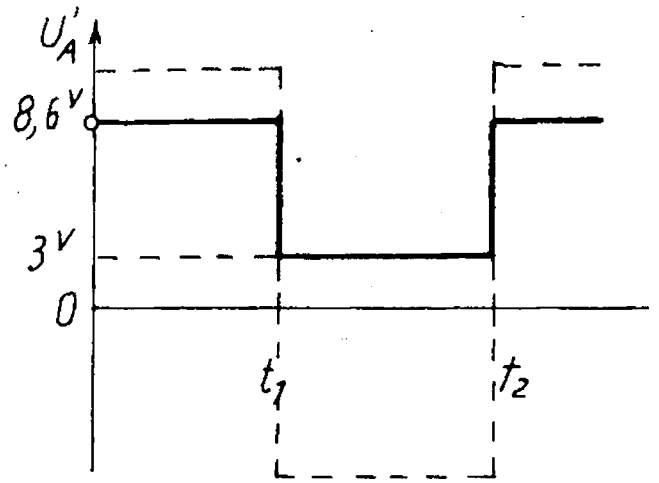
$$U_1(t) = \begin{cases} 5V & 0 \leq t \leq 10 \text{ ms} \\ 0V & t < 0 \text{ và } t > 10 \text{ ms} \end{cases}$$

$U_2(t)$ lúc $t = 0$ có giá trị $U_{20} = 0,5V$

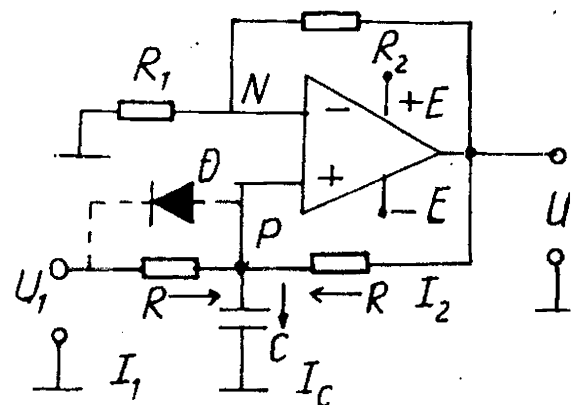
a) Tìm biểu thức xác định $U_2(t)$ theo các tham số $U_1(t)$ và R, C của mạch.

b) Tính giá trị biên độ $U_2(t)$ lúc $t_1 = 10ms$

c) Biết điện trở thuận của diốt, lúc mở là 250Ω , xác định



Hình 5.8



Hình 5.9

khoảng thời gian sau lúc t_1 để U_2 về lại giá trị U_{20} đã cho (ở gần đúng bậc nhất).

Bài giải :

a) Biểu thức $U_2(t)$ được tìm từ giả thiết lí tưởng của IC ($U_N \approx U_p$, dòng điện dò các đầu vào bằng 0 do trở kháng vào VCL) :

Viết phương trình cân bằng các dòng điện tại nút P có :

$$I_1 + I_2 - I_c = 0$$

với
$$I_1 = \frac{U_1 - U_p}{R} ; I_2 = \frac{U_2 - U_p}{R} ; I_c = C \frac{dU_p}{dt}$$

ta nhận được phương trình :

$$\frac{U_1 - U_p}{R} + \frac{U_2 - U_p}{R} - C \frac{dU_p}{dt} = 0 \quad \text{hay :}$$

$$\frac{U_1 + U_2 - 2U_p}{R} - C \frac{dU_p}{dt} = 0 \quad (1)$$

mặt khác với $R_1 = R_2$ và $U_N \approx U_p$ thì $U_p = \frac{U_2}{2}$ (2)

Thay (2) vào (1) ta nhận được phương trình :

$$\frac{dU_2}{dt} = 2 \frac{U_1}{RC} \text{ từ đó } U_2 = \frac{2}{RC} \int U_1(t)dt + U_{20} \quad (3)$$

b) Để xác định U_2 tại $t_1 = 10\text{ms}$

ta thay giá trị $U_1 = 5\text{V}$ trong khoảng $0 \leq t \leq t_1$.

và $U_1 = 0$ trong các khoảng còn lại, từ đó :

$$U_2 = \frac{2}{RC} \int_0^{t_1} U_1(t)dt + U_{20}$$

$$\begin{aligned} U_2(t_1) &= \frac{2}{50 \cdot 10^3 \cdot 10^{-6}} 5 \cdot t \Big|_0^{10 \text{ ms}} + U_{20} \\ &= 2\text{V} + 0,5\text{V} = 2,5\text{V} \end{aligned}$$

c) Trong khoảng $0 \leq t < t_1$ diôt Đ hở mạch do bị phân cực ngược vì xung dương $U_1 = 5\text{V}$, lúc $t \geq t_1$, do $U_1 = 0$, Đ mở

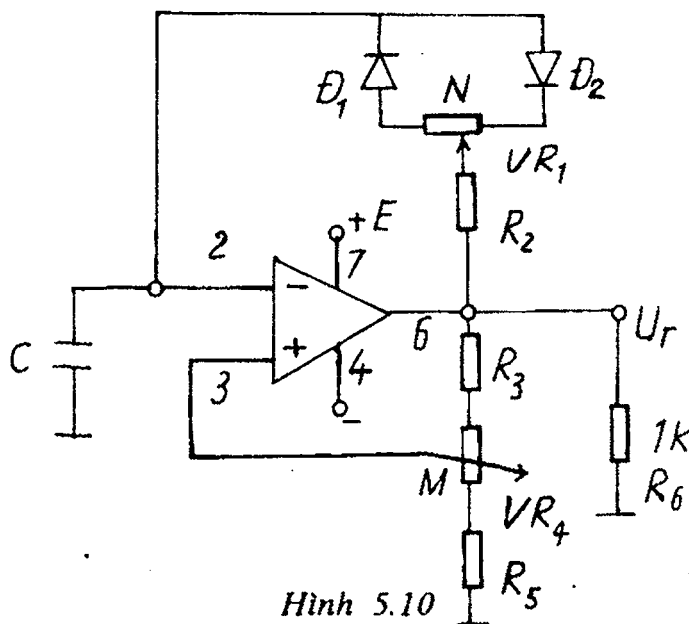
khép mạch cho dòng điện phóng của tụ C qua giá trị $R_{th} = 250\Omega$ của điôt. Ở gần đúng bậc nhất (tuyến tính hóa hàm số mũ), thời gian cần thiết để $U_2(t)$ hồi phục về trạng thái ban đầu là :

$$\begin{aligned} \tau_{phóng} &= R_{th} \cdot C = 250\Omega \cdot 10^{-6}F \\ &= 250\mu s = 0,25ms \end{aligned}$$

Vậy xung tam giác $U_2(t)$ có độ rộng sườn trước là 10ms và sườn sau hồi phục là 0,25 ms. Nếu trạng thái ban đầu của tụ theo giả thiết là 0,5V thì thời gian hồi phục thực tế sẽ là :

$$\tau_{hf} = \frac{4}{5} \cdot 0,25ms = 0,2ms$$

Bài tập 5.4. Cho mạch hình 5.10. Biết $\pm E = \pm 9V$; $VR_1 = 100k\Omega$ (chỉ thay đổi trong miền giới hạn 10% tới 90% giá trị cực đại) ;



Hình 5.10

$$\begin{aligned} R_2 &= 10k\Omega ; R_3 = 100k\Omega \\ VR_4 &= 100k\Omega ; R_5 = 10k\Omega \\ R_6 &= 1k\Omega ; C = 0,01\mu F \end{aligned}$$

a) Nêu nhiệm vụ của sơ đồ. Vẽ dạng điện áp theo thời gian tại các chân số 2 và số 6 của IC khi cố định các giá trị VR_1, VR_4 .

b) Khi điều chỉnh VR_1 hoặc điều chỉnh VR_4 tham số nào của điện áp và sẽ thay đổi ? giải thích ?

c) Hãy tính dải thay đổi tần số của $U_{ra} : (f_{max} \div f_{min})$ khi điều chỉnh tham số VR của sơ đồ.

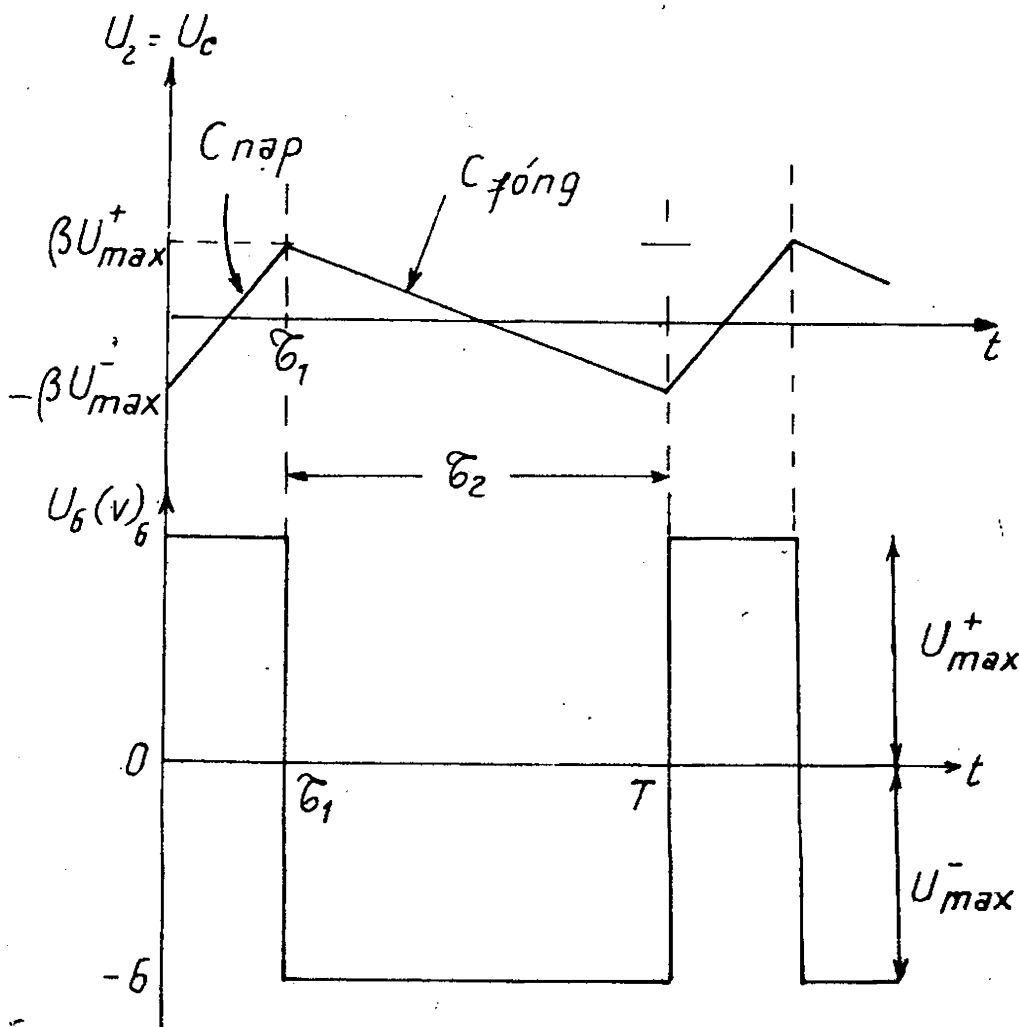
d) Xác định tỉ số τ_1/τ_2 ứng với 2 trường hợp giới hạn điều chỉnh chiết áp thích hợp với nhiệm vụ này.

(Ở đây τ_1 là độ rộng xung, τ_2 là độ trống xung).

Bài giải :

a) Sơ đồ có nhiệm vụ tạo ra đồng thời 2 dạng xung : dạng tam giác trên tụ C ($U_c = U_2$) và xung vuông góc tại đầu ra (chân 6) của vi mạch. Đây là dạng bộ đa hài không đối xứng dùng IC nối kiểu trigơ Smit. Mạch bao gồm 2 khâu hồi tiếp : R_3, VR_4, R_5 thực hiện hồi tiếp dương để đặt điện áp, ngưỡng về lối vào P của Smit, khâu R_2, VR_1 các diốt điều khiển D_1, D_2 và tụ C tạo thành mạch hồi tiếp âm để điều khiển dòng nạp (qua D_1) hay dòng phóng (qua D_2) cho tụ C, nhờ đó điện áp trên tụ biến đổi tuyến tính (tam giác), lần lượt bám đuổi các mức ngưỡng đặt tới lối vào P (chân 3).

Từ việc phân tích trên, dựng $U_2(t) = U_c(t)$ và $U_6(t) = U_{ra}(t)$ biểu thị trên hình 5.11



Hình 5.11

- Độ rộng xung ra τ , τ_2 xác định bởi :

$$\tau_1 = C \cdot R_{\text{nap}} \cdot \ln\left(1 + \frac{2R_x}{R_y}\right) \quad (1)$$

$$\begin{aligned} \tau_2 &= T - \tau_1 \\ &= C \cdot R_{\text{phóng}} \cdot \ln\left(1 + \frac{2R_x}{R_y}\right) \end{aligned} \quad (2)$$

do đó chu kì xung ra :

$$T = \tau_1 + \tau_2 = C (R_{\text{nap}} + R_{\text{phóng}}) \ln\left(1 + \frac{2R_x}{R_y}\right) \quad (3)$$

Ở đây R_x là phân điện trở tính từ tiếp điểm M của VR_4 trở xuống điểm OV. R_y là phân tử tiếp điểm M lên phía trên tới điểm lấy tín hiệu U_{ra} (chân 6).

R_{nap} là phân trái của VR_1 làm việc với D_1 còn $R_{\text{phóng}}$ là phân phải của VR_1 (tính từ N) làm việc với D_2 .

b) Qua các hệ thức (1) (2) và (3) xác định các tham số của xung ra, lưu ý rằng $R_{\text{nap}} + R_{\text{phóng}} = VR_1 =$ hằng số, do vậy việc điều chỉnh VR_1 (thay đổi vị trí tiếp điểm N) chỉ làm thay đổi tỉ số τ_1/τ_2 hay thay đổi tỉ số τ_1/T mà không làm thay đổi chu kì T, theo các hệ thức (1) và (2).

Trường hợp thứ hai, khi thay đổi VR_4 (vị trí tiếp điểm M di chuyển), các giá trị R_x và R_y tương ứng sẽ thay đổi ngược chiều nhau và do vậy theo (3) chu kì T (hay tần số $f = \frac{1}{T}$) của xung ra sẽ thay đổi.

Xác định dải tần số của U_{ra} khi thay đổi giá trị VR_4

$$c) T_{\text{max}} = C \cdot VR_1 \ln\left[1 + \frac{2(R_5 + VR_4)}{R_3}\right]$$

$$= 0,01 \cdot 10^{-6} \cdot 100 \cdot 10^3 \cdot \ln\left(1 + \frac{40}{100}\right)$$

$$= 10^{-3} \cdot \ln 1,4s = 33,65 \mu s$$

$$\begin{aligned}
T_{\min} &= C \cdot VR_1 \ln \left(1 + \frac{2R_5}{R_3 + VR_4} \right) \\
&= 0,01 \cdot 10^{-6} \cdot 100 \cdot 10^3 \ln \left(1 + \frac{20}{200} \right) \\
&= 10^{-3} \cdot \ln 1,1 \text{ s} = 95,3 \mu\text{s}
\end{aligned}$$

Từ đó suy ra :

$$F_{\max} = \frac{1}{T_{\min}} = \frac{1}{10^{-3} \ln 1,1} = 10,493 \text{ kHz}$$

$$f_{\min} = \frac{1}{T_{\max}} = \frac{1}{10^{-3} \ln 1,4} = 2,971 \text{ kHz}$$

d) Giới hạn thay đổi tỉ số τ_1/τ_2 khi VR_1 thay đổi từ $10\text{k}\Omega$ đến $90\text{k}\Omega$ có thể tính từ các hệ thức (1) và (2) đã nêu trên :

$$\tau_1 = C \cdot R_{\text{nap}} \ln \left(1 + \frac{2R_x}{R_y} \right) ;$$

$$\tau_2 = CR_{\text{phóng}} \cdot \ln \left(1 + \frac{2R_x}{R_y} \right)$$

Tính với 1 giá trị cố định của VR_4 (giả sử để có $f_{\min} = 650\text{Hz}$)

$$\tau_1 = 0,01 \cdot 10^{-6} \cdot 10 \cdot 10^3 \ln 1,4.$$

$$\tau_2 = 0,01 \cdot 10^{-6} \cdot 90 \cdot 10^3 \cdot \ln 1,4 \text{ từ đây :}$$

$$\frac{\tau_1}{\tau_2} = \frac{1}{9} \text{ (với } R_{\text{nap}} = 10\% VR_1, R_{\text{phóng}} = 90\% VR_1).$$

$$\text{hoặc } \frac{\tau_1}{\tau_2} = \frac{9}{1} \text{ (với } R_{\text{nap}} = 90\% VR_1, R_{\text{phóng}} = 10\% VR_1)$$

hay tỉ số $\frac{\tau_1}{T}$ biến đổi trong giới hạn $\frac{1}{10}$ đến $\frac{10}{1}$ khi VR_1 được điều chỉnh trong giới hạn $(10 \div 90)\% VR_{1\max}$

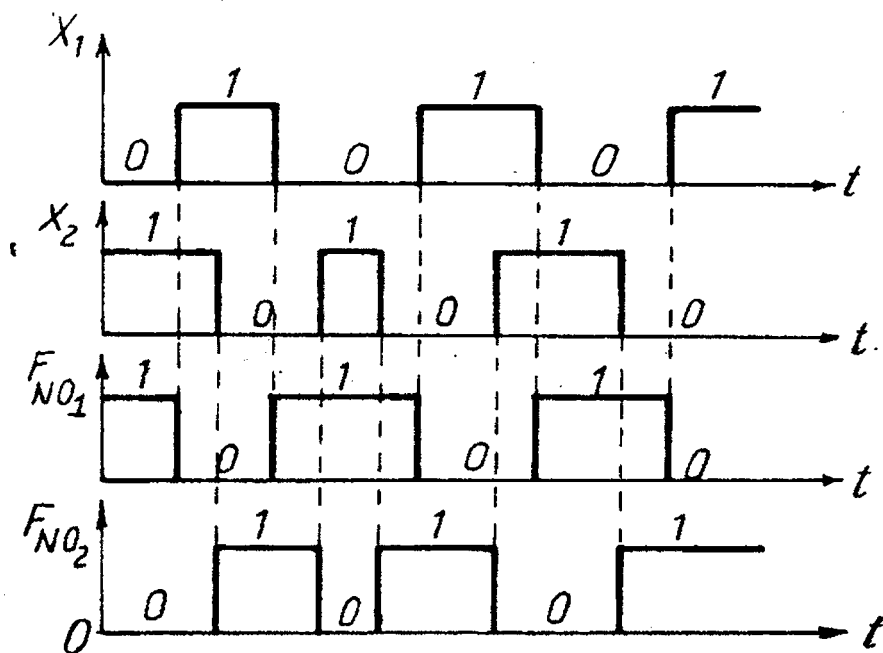
Bài tập 5.5. Cho các biến logic $X_1(t)$, $X_2(t)$ với đồ thị thời gian biết trước dạng hình 5.12. Hãy xây dựng đồ thị thời gian của các hàm logic cơ bản của hai biến đã cho.

a) Đồ thị các hàm phủ định của $X_1(t)$ và $X_2(t)$ được xây dựng từ biểu thức và bảng trạng thái

$$F_{NO1} = \bar{X}_1$$

$$F_{NO2} = \bar{X}_2$$

X_1	F_{NO1}	X_2	F_{NO2}
0	1	0	1
1	0	1	0



Hình 5.12 a)

Áp dụng bảng định nghĩa xét trong từng khoảng thời gian khác nhau khi cho biến thời gian tăng dần từ trị $t = 0$ ta nhận được đồ thị tương ứng của F_{NO1} và của F_{NO2}

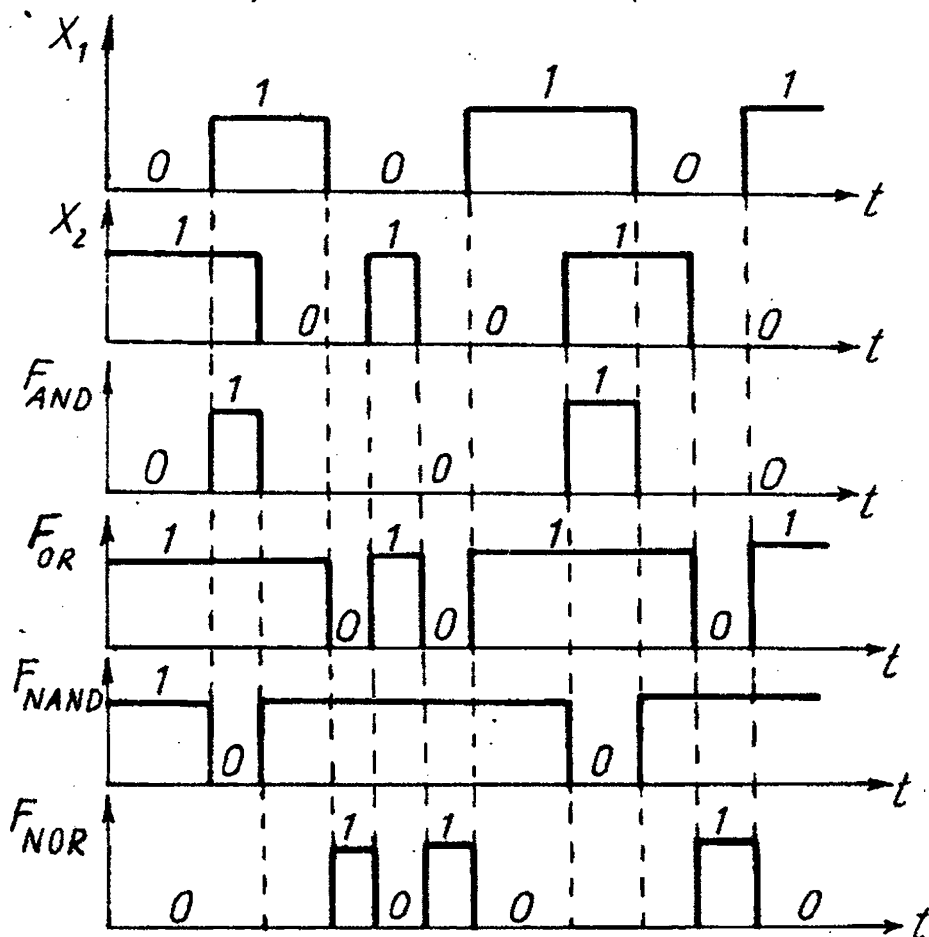
b) Từ biểu thức định nghĩa và bảng chân lí của các hàm và (nhân logic) và hàm hoặc (cộng logic) ta có :

$$F_{\text{AND}} = X_1 \cdot X_2 \text{ và}$$

$$F_{\text{OR}} = X_1 + X_2$$

X_1	X_2	F_{AND}	F_{OR}
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1

Tăng dần t từ giá trị $t = 0$, xét trong từng khoảng thời gian (ở đó X_1 và X_2 nhận những giá trị cố định đã cho theo giả thiết), áp dụng kết quả giá trị hàm trong bảng chân lí đã viết, ta nhận được đồ thị hình 5.12b.



Hình 5.12b)

c) Với các hàm và phủ định và hoặc phủ định, ta có biểu thức định nghĩa : $F_{\text{NAND}} = \overline{X_1 \cdot X_2}$ và

$$F_{\text{NOR}} = \overline{X_1 + X_2}$$

Bảng trạng thái tương ứng của chúng là :

X_1	X_2	F_{NAND}	F_{NOR}
0	0	1	1
0	1	1	0
1	0	1	0
1	1	0	0

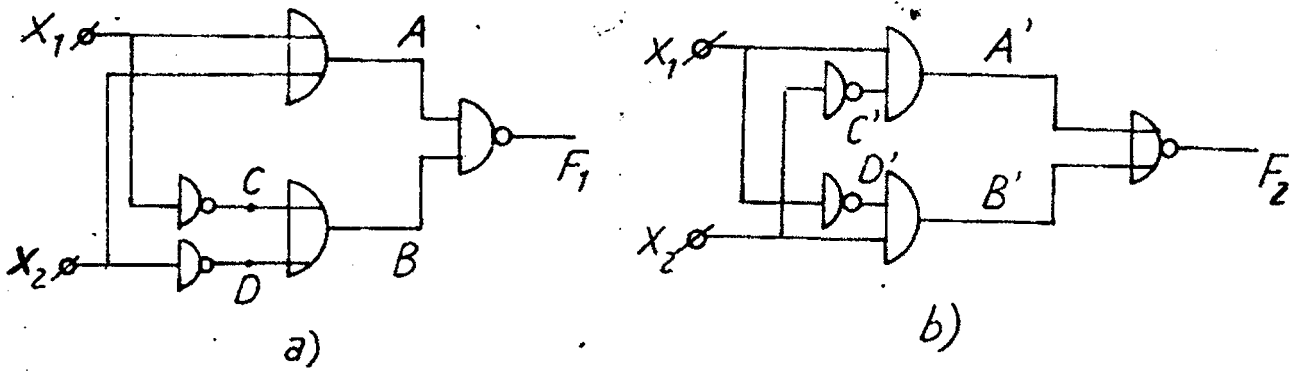
Áp dụng bảng trạng thái trong từng khoảng thời gian theo giả thiết ở đó X_1 và X_2 nhận 1 giá trị xác định và không thay đổi, ta có kết quả tương ứng của các hàm F_{NAND} hoặc F_{NOR} theo từng dòng thích hợp của bảng trạng thái và nhận được đồ thị kết quả trên hình 5.12b.

Chú ý là để có kết quả đồ thị các hàm F_{NAND} và F_{NOR} ta có thể dùng biểu thức định nghĩa chúng là hàm đảo của F_{AND} và F_{OR} , do vậy có thể nhận trực tiếp kết quả đồ thị của hai hàm này bằng cách nghịch đảo (lấy phủ định) các kết quả thu được của F_{AND} và F_{OR} . Phương pháp tìm dạng đồ thị nêu trên có thể mở rộng cho 3 biến $X_1(t)$, $X_2(t)$, $X_3(t)$ hay nhiều biến hơn dựa trên các định nghĩa cơ bản đối với hàm nhiều biến và bảng trạng thái tương ứng của chúng.

Bài tập 5.6. Cho các mạch logic có cấu trúc hình 5.13. a) và b) với 2 đầu vào có các biến logic x_1 và x_2 tác động, 1 đầu ra nhận được các hàm logic lần lượt là F_1 và F_2 .

a) Hãy tìm biểu thức của F_1 và F_2 ở dạng đầy đủ

b) Biến đổi các biểu thức đã tìm được ở câu a) về dạng tối giản theo hai cách : dạng tổng các tích và dạng tích các tổng các biến qua đó chứng minh rằng $F_1 = F_2$.



Hình 5.13

c) Tìm cấu trúc tương đương với cấu trúc (5.13) trong đó chỉ sử dụng 1 loại phần tử NAND (hoặc chỉ 1 loại phần tử NOR).

Bài giải : a) Ký hiệu thêm các hàm logic trung gian A, B, C, D trong hình 5.13 a) và b) lần lượt viết các quan hệ hàm từ đầu vào tới đầu ra của từng cấu trúc, ta có :

• Với cấu trúc (5.13a), theo định nghĩa và ký hiệu các hàm logic cơ bản, có các quan hệ :

$$\begin{aligned} C &= \bar{X}_1; & A &= X_1 + X_2 \\ D &= \bar{X}_2; & B &= C + D = \bar{X}_1 + \bar{X}_2 \end{aligned}$$

$$\text{Từ đó có } F_1 = \overline{A \cdot B} = \overline{(X_1 + X_2)(\bar{X}_1 + \bar{X}_2)}$$

• Với cấu trúc (5.13b) nhận được :

$$\begin{aligned} C' &= \bar{X}_2; & A' &= X_1 \cdot C' = X_1 \bar{X}_2 \\ D' &= \bar{X}_1; & B' &= X_2 \cdot D' = X_2 \bar{X}_1 \end{aligned}$$

$$\begin{aligned} \text{Từ đó có } F_2 &= \overline{A' + B'} \\ &= \overline{X_1 \bar{X}_2 + X_2 \bar{X}_1} \end{aligned}$$

Vậy dạng đầy đủ của hai hàm logic cần tìm là

$$F_1 = \overline{(X_1 + X_2)(\bar{X}_1 + \bar{X}_2)} \text{ và } F_2 = \overline{X_1 \bar{X}_2 + X_2 \bar{X}_1}$$

b) Biến đổi F_1 và F_2 về dạng thu gọn theo định lý Demorgan

$$\begin{aligned} F_1 &= \overline{(X_1 + X_2)(\bar{X}_1 + \bar{X}_2)} & (1) \\ &= \overline{(X_1 + X_2)} + \overline{(\bar{X}_1 + \bar{X}_2)} \end{aligned}$$

$$= (\bar{X}_1 \cdot \bar{X}_2) + (\bar{\bar{X}}_1 \cdot \bar{\bar{X}}_2)$$

Áp dụng tiên đề 2 lần phủ định ($\bar{\bar{x}} = x$) có kết quả :

$$F_1 = \bar{X}_1 \cdot \bar{X}_2 + X_1 \cdot X_2 \quad (2)$$

Dạng (1) của F_1 là cách biểu diễn tích các tổng các biến.

Dạng (2) của F_1 là cách biểu diễn tổng các tích các biến.

Với hàm F_2 , áp dụng định lý Demorgan có

$$\begin{aligned} F_2 &= \overline{X_1 \bar{X}_2 + X_2 \bar{X}_1} \\ &= \overline{X_1 \bar{X}_2} \cdot \overline{X_2 \bar{X}_1} \\ &= (\bar{X}_1 + \bar{\bar{X}}_2)(\bar{X}_2 + \bar{\bar{X}}_1) \end{aligned}$$

Áp dụng tiên đề ($\bar{\bar{X}} = X$) và luật phân bố giữa phép cộng và phép nhân, sau đó chú ý tiên đề $XX = 0$, ta nhận được :

$$F_2 = (\bar{X}_1 + X_2)(\bar{X}_2 + X_1) \quad (3)$$

$$\begin{aligned} &= \bar{X}_1 \cdot \bar{X}_2 + \bar{X}_1 \cdot X_1 + X_2 \bar{X}_2 + X_2 X_1 \\ &= \bar{X}_1 \bar{X}_2 + X_2 X_1, \text{ do luật hoán vị với phép nhân :} \\ &= \bar{X}_1 \bar{X}_2 + X_1 X_2 \end{aligned} \quad (4)$$

Dạng (4) là biểu diễn kiểu tổng các tích và dạng (3) là biểu diễn kiểu tích các tổng các biến của F_2 .

So sánh dạng các biểu thức (2) và (4) ta nhận được điều phải chứng minh : $F_1 = F_2 = F = \bar{X}_1 \bar{X}_2 + X_1 X_2$ (4)'

c) Thực hiện phủ định liên tiếp 2 lần vế phải của (4)' có

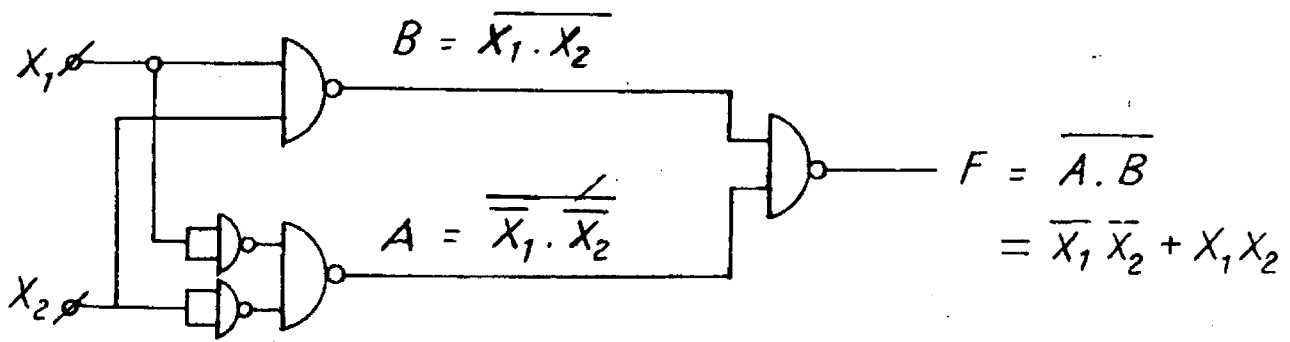
$$F = \overline{\overline{\bar{X}_1 \bar{X}_2 + X_1 X_2}}$$

Áp dụng định lý Demorgan cho dấu phủ định bên trong của F có :

$$F = \overline{\bar{X}_1 \bar{X}_2 \cdot \bar{\bar{X}}_1 \bar{\bar{X}}_2} = \overline{A \cdot B} \quad (5)$$

Ở đây ta đã ký hiệu $A = \bar{\bar{X}}_1 \bar{\bar{X}}_2$ và $B = \bar{X}_1 \bar{X}_2$ (6)

Các hàm (5) và (6) được thực hiện với 5 phân tử NAND loại có 2 đầu vào. Do vậy cấu trúc tương đương cần tìm có dạng sau (h.5.14) :



Hình 5.14.

• Nếu từ các biểu thức (5) và (6) tiếp tục áp dụng định lý DeMorgan, có

$$F = \bar{A} + \bar{B} \quad (7)$$

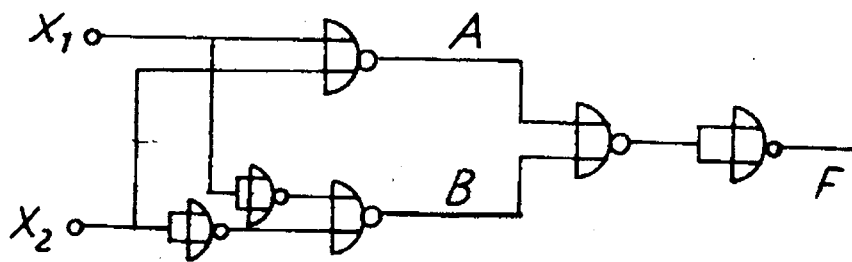
$$A = \bar{X}_1 + \bar{X}_2 \quad \bar{A} = \overline{\bar{X}_1 + \bar{X}_2} \quad (8)$$

$$B = \bar{X}_1 + \bar{X}_2 \quad \bar{B} = \overline{\bar{X}_1 + \bar{X}_2} \quad (8)$$

thay các biểu thức (8) vào (7) có

$$F = \overline{\bar{X}_1 + \bar{X}_2} + \overline{\bar{X}_1 + \bar{X}_2} \quad (9)$$

Từ (9) ta nhận được cấu trúc loại thuận nhất dùng 6 phân tử NOR (h.5.15).



Hình 5.15

Bài tập 5.7. Một hàm logic 3 biến $F(X_1, X_2, X_3)$ gồm có 6 số hạng, ở dạng đầy đủ có biểu thức sau :

$$F(X_1, X_2, X_3) = \bar{X}_1 \bar{X}_2 \bar{X}_3 + \bar{X}_1 \bar{X}_2 X_3 + \bar{X}_1 X_2 \bar{X}_3 + \\ + X_1 \bar{X}_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 + X_1 X_2 \bar{X}_3$$

a) Hãy thiết lập bảng trạng thái và viết bìa Cacho của F.

b) Tìm biểu thức tối thiểu của F nhờ quy tắc Cacno

c) Xây dựng cấu trúc thực hiện F từ các phần tử NOR có 2 đầu vào.

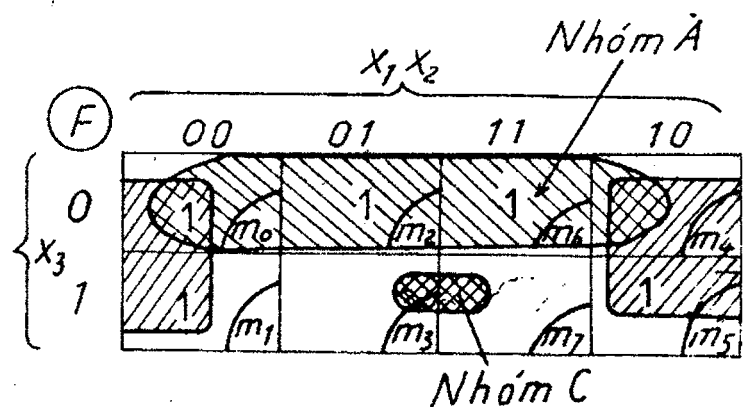
Bài giải :

a) Bảng trạng thái được thiết lập nhờ liệt kê tất cả các trạng thái tổ hợp có thể có của các trị các biến vào và giá trị tương ứng của hàm nhận được với mỗi trạng thái đã kê. Với quy ước rằng khi biến logic X_i nhận trị 0 ta viết là \bar{X}_i , còn khi X_i nhận trị 1 ta viết là X_i , như vậy biểu thức của F có dạng :
 $F = m_0 + m_1 + m_2 + m_4 + m_5 + m_6$.

Với $m_0 = \bar{X}_1 \bar{X}_2 \bar{X}_3 = 000$ $m_4 = X_1 \bar{X}_2 \bar{X}_3 = 100$
 $m_1 = \bar{X}_1 \bar{X}_2 X_3 = 001$ $m_5 = X_1 \bar{X}_2 X_3 = 101$
 $m_2 = \bar{X}_1 X_2 \bar{X}_3 = 010$; $m_6 = X_1 X_2 \bar{X}_3 = 110$

Viết dưới dạng bảng trạng thái và bìa Cacno ta nhận được hình 5.16

m_i	$X_1 X_2 X_3$	F
m_0	0 0 0	1
m_1	0 0 1	1
m_2	0 1 0	1
m_3	0 1 1	0
m_4	1 0 0	1
m_5	1 0 1	1
m_6	1 1 0	1
m_7	1 1 1	0



Hình 5.16

Các tổ hợp biến m_i được gọi là các mintec $F = 1$ khi có ít nhất 1 mintec m_i nhận giá trị 1.

b) Từ đồ hình Cacno đã thiết lập, theo quy tắc Cacno với các chú ý kèm theo có thể thiết lập được 2 nhóm lớn đối với các ô (các mintec) có trị 1 như sau :

- Nhóm A bao gồm $2^2 = 4$ ô ở hàng trên ứng với trị $X_3 = 0$.

- Nhóm B bao gồm $2^2 = 4$ ô nằm tại 4 góc bìa ứng với 2 cột $\bar{X}_1\bar{X}_2 = 00$ và $X_1\bar{X}_2 = 10$.

Mọi khả năng kết hợp để tạo các nhóm khác với 2 nhóm A và B nên ở trên đều chứa ít ô hơn hoặc bị chứa trong A hoặc B (tức là vi phạm các điều chú ý trong khi thực hiện quy tắc Cacno và do vậy là không tối giản).

Vậy có kết quả tối thiểu

$$F = m_0 + m_1 + m_2 + m_4 + m_5 + m_6 = A + B$$

A và B là hai số hạng mới của F có số biến giảm đi 2.

- Trong mỗi nhóm, khi chuyển từ 1 ô nhỏ này sang ô nhỏ kế với nó, biến nào có giá trị thay đổi (đảo trị) thì sẽ không còn trong kết quả. Ví dụ trong nhóm A, từ ô hàng 1 cột 1 đến ô cuối hàng 1 cột 4 có X_1 và X_2 đến lần lượt đảo trị nên kết quả ta nhận được $A = \bar{X}_3$ (X_3 nhận trị 0).

Tương tự với nhóm B có $B = \bar{X}_2$ (X_2 nhận trị 0).

$$\text{Từ đó } F = \bar{X}_3 + \bar{X}_2 = \overline{X_3 \cdot X_2}$$

đây là dạng đã tối giản của F.

- Ta cũng có thể tối giản F bằng các quy tắc và định lý của đại số logic. Ví dụ :

$$\begin{aligned} A &= \bar{X}_1\bar{X}_2\bar{X}_3 + \bar{X}_1X_2\bar{X}_3 + X_1X_2\bar{X}_3 + X_1\bar{X}_2\bar{X}_3 \\ &= m_0 + m_2 + m_6 + m_4 \end{aligned}$$

thực hiện nhóm m_0 với m_4 và m_2 với m_6 có :

$$A = (\bar{X}_1 + X_1)\bar{X}_2\bar{X}_3 + (\bar{X}_1 + X_1)X_2\bar{X}_3$$

Áp dụng quy tắc $X + \bar{X} = 1$ và $X \cdot 1 = X$, ta có :

$$\begin{aligned} A &= \bar{X}_2 \cdot \bar{X}_3 + X_2\bar{X}_3 \\ &= (\bar{X}_2 + X_2)\bar{X}_3 \\ &= \bar{X}_3 \end{aligned}$$

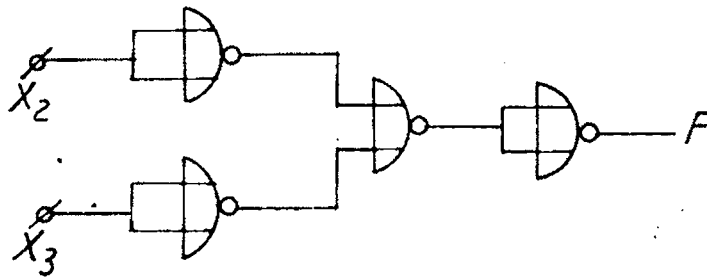
$$\begin{aligned}
 \text{Tương tự với } B &= m_0 + m_1 + m_4 + m_5 \\
 &= \bar{X}_1 \bar{X}_2 \bar{X}_3 + \bar{X}_1 \bar{X}_2 X_3 + X_1 \bar{X}_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 \\
 B &= (\bar{X}_1 + X_1) \bar{X}_2 \bar{X}_3 + (\bar{X}_1 + X_1) \bar{X}_2 X_3 \\
 &= \bar{X}_2 \bar{X}_3 + \bar{X}_2 \cdot X_3 \\
 &= \bar{X}_2 (\bar{X}_3 + X_3) \\
 &= \bar{X}_2
 \end{aligned}$$

Lưu ý ở đây các mintéc m_0 và m_4 được sử dụng 2 lần cho cả nhóm A và nhóm B vì theo quy tắc $m_4 + m_4 = m_4$; $m_0 + m_0 = m_0$.

c) Để xây dựng F từ cấu trúc gồm các phần tử NOR, ta có thể viết lại F như sau :

$$F = \bar{X}_3 + \bar{X}_2 = \overline{\overline{\bar{X}_3 + \bar{X}_2}}$$

từ đó ta có cấu trúc (h.5.17)



Hình 5.17

d) Người ta có thể tối thiểu hàm F theo các ô trống (có trị 0) trong đồ hình Cacno của F (ví dụ nhóm C = $m_3 + m_7$) phương pháp làm tương tự giống hệt với 2 nhóm A và B, kết quả cho ta hàm $\bar{F} = X_2 \cdot X_3$, từ đây suy ra $F = \overline{X_2 X_3}$ (thực chất là từ bìa cacno của F lập bìa cacno của F bằng cách đổi trị $m_0 = m_1 = \dots = m_6 = 0$ và $m_3 = 1, m_7 = 1$; sau đó thực hiện tối thiểu hóa theo bìa của \bar{F} , kết quả cuối cùng là của \bar{F}).

Bài tập 5.8. Cho hai hàm logic 3 biến có dạng sau :

$$F_1 = \bar{X}_1 X_3 + \bar{X}_3 X_2 + \bar{X}_2 X_1 \quad (1)$$

$$F_2 = X_1 \bar{X}_3 + X_3 \bar{X}_2 + X_2 \bar{X}_1 \quad (2)$$

a) Chứng minh rằng F_1 và F_2 là 2 dạng đã rút gọn của cùng 1 hàm F . Tìm biểu thức đầy đủ của F và lập bảng trạng thái, bìa Cacho của F .

b) Xây dựng cấu trúc thực hiện hàm F bằng các phân tử NAND từ 1 trong hai dạng rút gọn đã cho.

c) Tìm cấu trúc thực hiện F nhờ các phân tử NOR có 2 đầu vào.

Bài giải :

a) Trong các biểu thức (1) và (2) đã cho các số hạng đều vắng 1 biến, trước tiên cần đưa chúng về dạng đầy đủ (đủ biến) bằng cách thêm các thừa số $(X_i + \bar{X}_i) = 1$ đối với biến vắng mặt i vào, áp dụng luật phân phối và hoán vị, từ (1) có :

$$\begin{aligned} F_1 &= \bar{X}_1 X_3 (X_2 + \bar{X}_2) + \bar{X}_3 X_2 (X_1 + \bar{X}_1) + \bar{X}_2 X_1 (X_3 + \bar{X}_3) \\ &= \bar{X}_1 X_2 X_3 + \bar{X}_1 \bar{X}_2 X_3 + X_1 X_2 \bar{X}_3 + \bar{X}_1 X_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 + X_1 \bar{X}_2 \bar{X}_3 \end{aligned}$$

Với cách quy ước đã nói tới ở bài tập 5.7, ta có :

$$\bar{X}_1 \bar{X}_2 \bar{X}_3 = 000 = m_0 \quad X_1 \bar{X}_2 \bar{X}_3 = 100 = m_4$$

$$\bar{X}_1 \bar{X}_2 X_3 = 001 = m_1 \quad X_1 \bar{X}_2 X_3 = 101 = m_5$$

$$\bar{X}_1 X_2 \bar{X}_3 = 010 = m_2 \quad X_1 X_2 \bar{X}_3 = 110 = m_6$$

$$\bar{X}_1 X_2 X_3 = 011 = m_3 \quad X_1 X_2 X_3 = 111 = m_7$$

ta nhận được biểu thức thu gọn của F_1 ở dạng :

$$F_1 = m_3 + m_1 + m_6 + m_2 + m_5 + m_4 \quad (3)$$

Tương tự với F_2 có :

$$\begin{aligned} F_2 &= X_1 \bar{X}_3 (X_2 + \bar{X}_2) + X_3 \bar{X}_2 (X_1 + \bar{X}_1) + X_2 \bar{X}_1 (X_3 + \bar{X}_3) \\ &= X_1 X_2 \bar{X}_3 + X_1 \bar{X}_2 \bar{X}_3 + X_1 \bar{X}_2 X_3 + \bar{X}_1 \bar{X}_2 X_3 + \bar{X}_1 X_2 X_3 \\ &\quad + \bar{X}_1 X_2 \bar{X}_3 \end{aligned}$$

và biểu thức thu gọn của F_2 :

$$F_2 = m_6 + m_4 + m_5 + m_1 + m_3 + m_2 \quad (4)$$

So sánh 2 biểu thức (3) và (4) với chú ý áp dụng luật hoán vị đối với phép cộng logic nhận được kết quả F_1 và F_2 chính là 2 dạng thu gọn của cùng 1 hàm F với F có dạng đầy đủ là :

$$F = m_1 + m_2 + m_3 + m_4 + m_5 + m_6$$

Từ đây, có bảng trạng thái và bìa Carno của F như hình 5.18.

m_i	$X_1 X_2 X_3$	F
m_0	0 0 0	0
m_1	0 0 1	1
m_2	0 1 0	1
m_3	0 1 1	1
m_4	1 0 0	1
m_5	1 0 1	1
m_6	1 1 0	1
m_7	1 1 1	0

Hình 5.18

b) Xây dựng cấu trúc thực hiện F từ phần tử NAND có 2 đầu vào. Xuất phát từ 2 biểu thức (1) và (2) của F_1 và F_2 :

$$F_1 = X_1 \bar{X}_2 + X_2 \bar{X}_3 + X_3 \bar{X}_1$$

$$F_2 = \bar{X}_1 X_2 + \bar{X}_2 X_3 + \bar{X}_3 X_1$$

Lấy phủ định 2 lần các biểu thức trên sau đó áp dụng định lý DeMorgan với F_1 ta có :

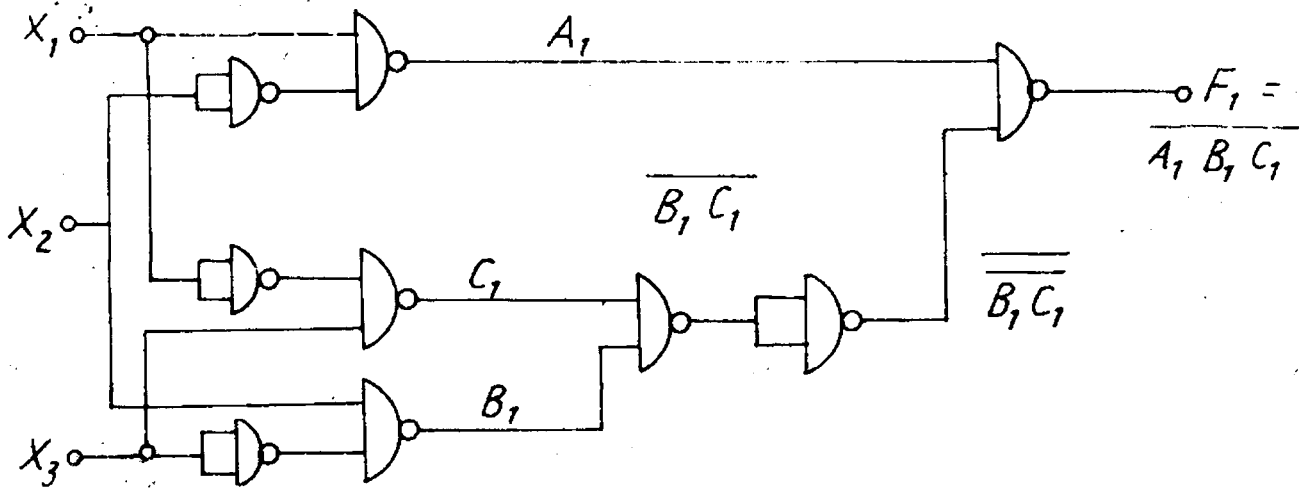
$$\begin{aligned} \bar{F}_1 &= \overline{X_1 \bar{X}_2 + X_2 \bar{X}_3 + X_3 \bar{X}_1} = \overline{X_1 \bar{X}_2} \cdot \overline{X_2 \bar{X}_3} \cdot \overline{X_3 \bar{X}_1} \\ &= \overline{A_1 B_1 C_1} = \overline{A_1 \cdot B_1 \cdot C_1} \end{aligned} \quad (5)$$

trong đó $A_1 = X_1 \bar{X}_2$; $B_1 = X_2 \bar{X}_3$ và $C_1 = X_3 \bar{X}_1$

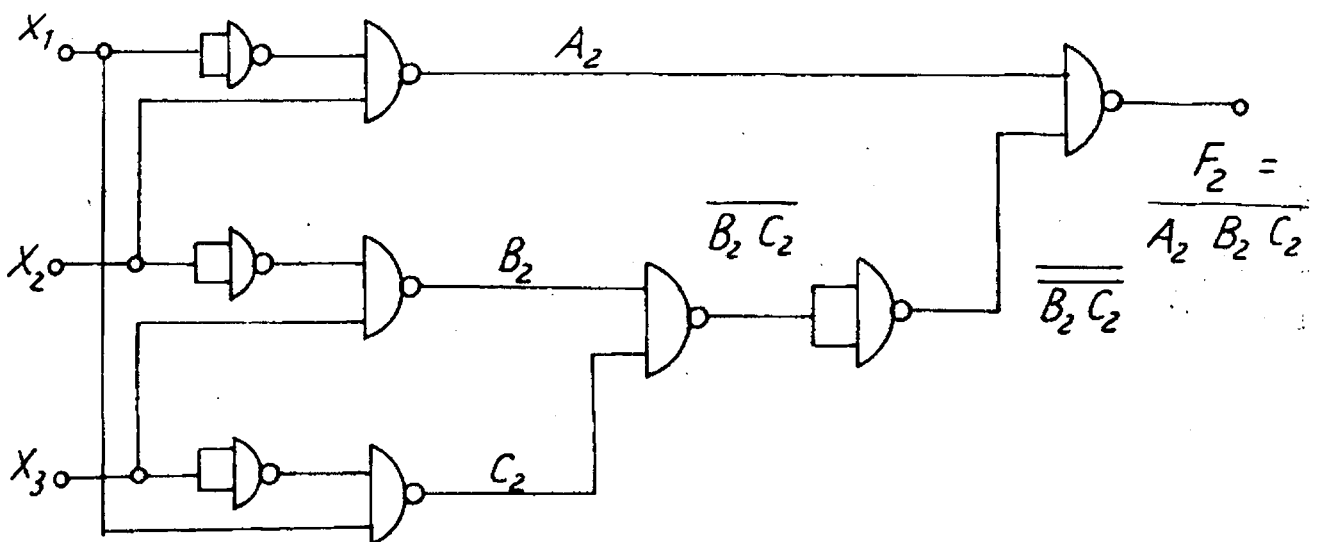
Tương tự với F_2 ta có :

$$\begin{aligned} \bar{F}_2 &= \overline{\bar{X}_1 X_2 + \bar{X}_2 X_3 + \bar{X}_3 X_1} = \overline{\bar{X}_1 X_2} \cdot \overline{\bar{X}_2 X_3} \cdot \overline{\bar{X}_3 X_1} \\ &= \overline{A_2 \cdot B_2 \cdot C_2} = A_2 \overline{B_2 C_2} \end{aligned} \quad (6)$$

Từ các biểu thức (5) và (6) thu được có thể xây dựng các cấu trúc sau (hình 5.19a, và b) :



a)



b)

Hình 5.19

c) Để xây dựng cấu trúc F_1 và F_2 từ các phân tử NOR hai đầu vào, ta viết lại các biểu thức (1) và (2) dưới dạng khác sau khi đã áp dụng tiên đề hai lần phủ định :

$$F_1 = X_1\bar{X}_2 + X_2\bar{X}_3 + X_3\bar{X}_1 = \overline{\overline{X_1\bar{X}_2} + \overline{X_2\bar{X}_3} + \overline{X_3\bar{X}_1}}$$

$$F_2 = \bar{X}_1X_2 + \bar{X}_2X_3 + \bar{X}_3X_1 = \overline{\overline{\bar{X}_1X_2} + \overline{\bar{X}_2X_3} + \overline{\bar{X}_3X_1}}$$

hay ở dạng dễ nhìn hơn :

$$\overline{\overline{F_1}} = \overline{\overline{\overline{X_1\bar{X}_2} + \overline{X_2\bar{X}_3} + \overline{X_3\bar{X}_1}}} = \overline{\overline{A_1} + \overline{B_1} + \overline{C_1}} \quad (7)$$

$$\overline{\overline{F_2}} = \overline{\overline{\overline{\bar{X}_1X_2} + \overline{\bar{X}_2X_3} + \overline{\bar{X}_3X_1}}} = \overline{\overline{A_2} + \overline{B_2} + \overline{C_2}} \quad (8)$$

Từ các biểu thức (7) và (8) với

$$A_1 = \overline{\bar{X}_1 + X_2}$$

$$B_1 = \overline{\bar{X}_2 + X_3}$$

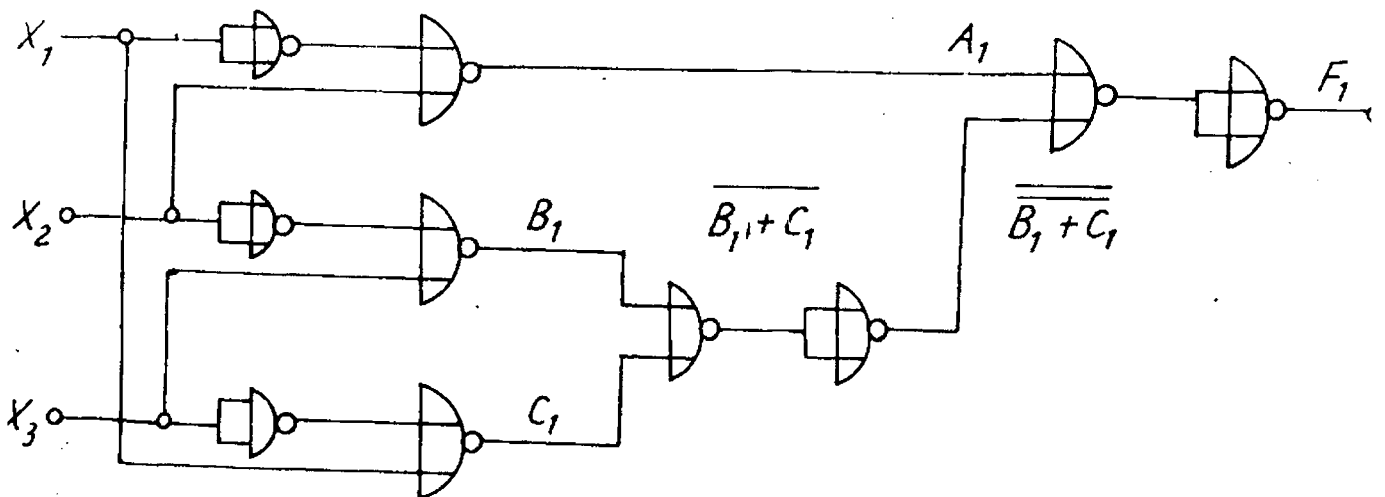
$$C_1 = \overline{\bar{X}_3 + X_1}$$

$$A_2 = \overline{X_1 + \bar{X}_2}$$

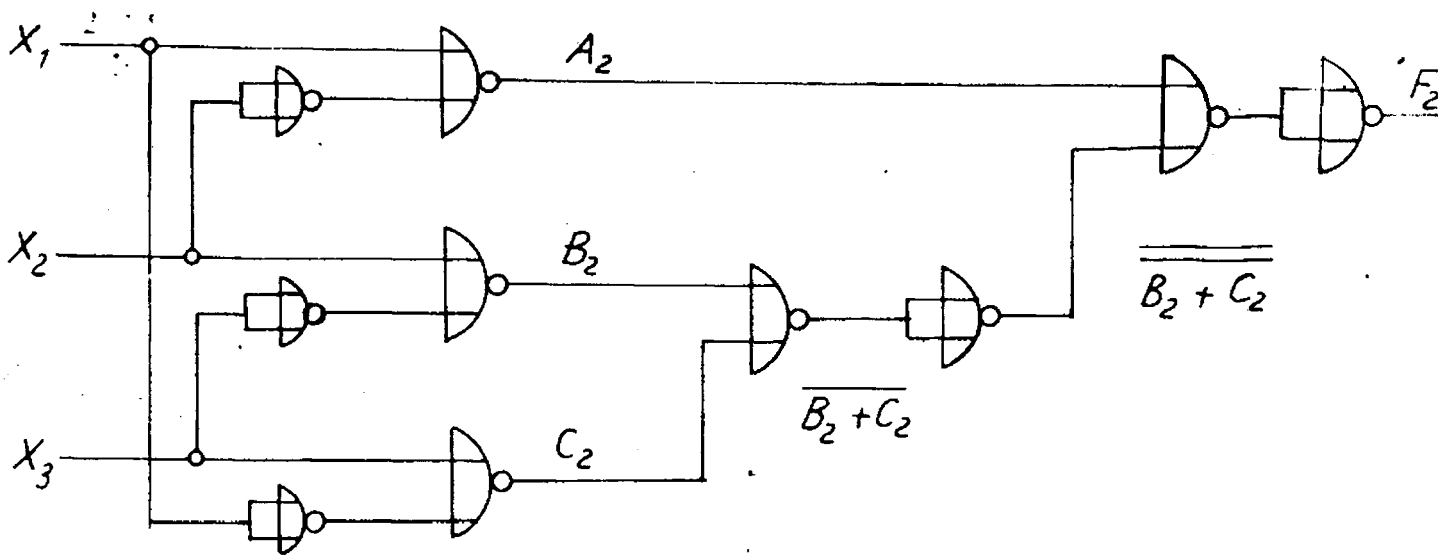
$$B_2 = \overline{X_2 + \bar{X}_3}$$

$$C_2 = \overline{X_3 + \bar{X}_1}$$

xây dựng được các cấu trúc hình 5.20a và hình 5.20b.



Hình 5.20 a)



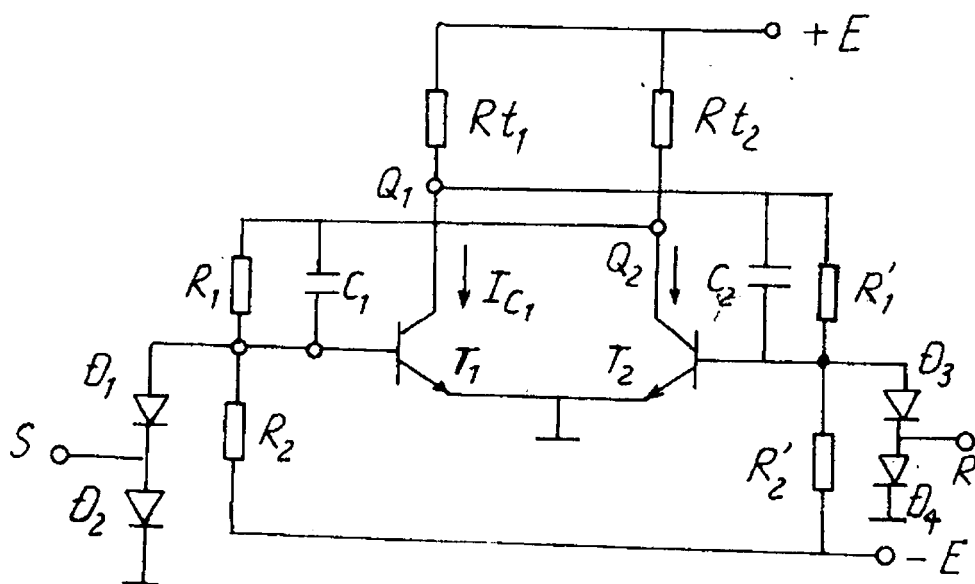
Hình 5.20 b)

Bài tập 5.9. Mạch điện hình 5.21 là 1 trigơ RS có các tham số sau :

$$\pm E = \pm 5V ; R_{t_1} = R_{t_2} = 2,7 \text{ k}\Omega ; R_1 = R'_1 = 15 \text{ k}\Omega$$

$$R_2 = R'_2 = 27 \text{ k}\Omega$$

T_1, T_2 loại 2N3904 có $\beta = 70$



Hình 5.21

a) Tính các giá trị điện áp bazơ và colectơ của T_1 và T_2 qua việc phân tích hoạt động của mạch.

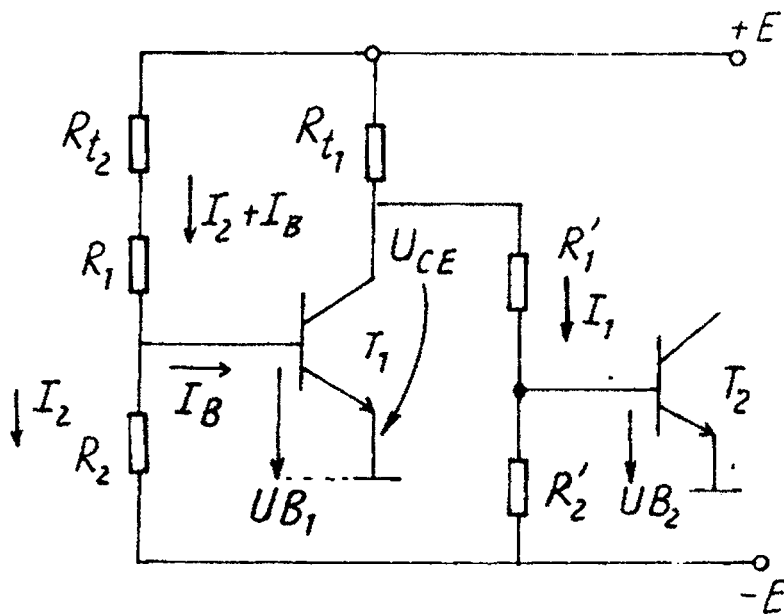
Xác định điện áp trên các tụ chuyển mạch (tụ nhớ) C_1 và C_2 khi sơ đồ ở 1 trong hai trạng thái ổn định bên.

b) Vẽ dạng đồ thị thời gian (lý tưởng) của điện áp U_{CE_1} và U_{CE_2} khi tại lúc $t = t_0$ có 1 xung điện áp cực tính âm đặt tới các lối vào S (hoặc R).

Bài giải :

a) Mạch hình 5.21 chỉ có 2 trạng thái phân biệt : T_1 đóng T_2 ngắt (khi đó $Q_1 = 0 ; Q_2 = 1$) và trạng thái T_1 ngắt T_2 đóng ($Q_1 = 1, Q_2 = 0$) ; khi ở chế độ đóng, dòng colectơ tối thiểu thỏa mãn $I_c < \beta I_B$.

Giả thiết rằng T_1 đóng T_2 ngắt, dòng I_{C_2} qua R_{t_2} bằng 0 ; R_{t_2}, R_1 và R_2 tạo thành một bộ chia áp định thiên cho bazơ T_1 , đảm bảo chế độ đóng ($U_{BE_1} = +0,7V$) nhờ nguồn $\pm E$. Q_1 ở trạng thái 0 (điện áp U_{CE} bão hòa) qua phân áp $R_1 R_2$ tạo thiên áp âm $U_{BE_2} < 0$ làm T_2 ngắt. Trạng thái này được duy trì lâu tùy ý. Khi tác động ngoài làm $Q_1 = 1$ (T_1 chuyển lên trạng



Hình 5.22

thái ngắt ví dụ nhờ xung S cực tính âm qua D_1 khóa T_1). Sơ đồ chuyển sang trạng thái thứ 2 ; T_2 đóng, $Q_2 = 0$. Hình 5.22 là sơ đồ thu gọn của 5.21 để tính các điện áp : trên các cực của tranzito :

• Giả sử T_1 đóng : $U_{B_1} = 0,7V$. (với T_1 là loại tranzito Si).

Điện áp trên R_2 và dòng qua nó :

$$U_{R_2} = U_{B_1} - (-E) = 0,7 \text{ V} + 5\text{V} = 5,7\text{V}.$$

$$I_2 = U_{R_2}/R_2 = 5,7\text{V}/27\text{k}\Omega \approx 211 \mu\text{A}.$$

điện áp rơi trên $(R_{t_2} + R_1)$ là :

$$U_{R_{t_2}} + U_{R_1} = E - U_{B_1} = 5 - 0,7 = 4,3\text{V}$$

dòng qua chúng :

$$I_2 + I_B = \frac{U_{R_{t_2}} + U_{R_1}}{R_{t_2} + R_1} = \frac{4,3\text{V}}{2,7\text{k}\Omega + 15\text{k}\Omega} = 243\mu\text{A}$$

$$\text{Suy ra } I_B = 243 \mu\text{A} - 211 \mu\text{A} = 32 \mu\text{A}.$$

Từ đó $I_{C_0} = \beta I_B = 70.32 \mu\text{A} = 2240 \mu\text{A} = 2,24\text{mA}$. Lúc có bão hòa của T_1 , dòng I_c thực tế là :

$$I_{C(\text{thực})} = \frac{E - U_{CEbh}}{R_{11}} = \frac{5\text{V} - 0,2\text{V}}{2,7\text{k}\Omega} = 1,78 \text{ mA} < I_{C_0}$$

điều kiện bão hòa của T_1 đảm bảo vì $I_{C(\text{thực})} < I_{C_0}$.

khi đó : $U_{C_1} = U_{CEbh} = +0,2\text{V}$

$$U_{R_1'} + U_{R_2'} = U_{C_1} - (-E) = 0,2 + 5 = 5,2 \text{ V}.$$

$$I_1 = \frac{U_{R_1'} + U_{R_2'}}{R_1' + R_2'} \quad (\text{vì } T_2 \text{ khóa (ngát)}) = \frac{5,2\text{V}}{15\text{k}\Omega + 27\text{k}\Omega} = 124\mu\text{A}.$$

do vậy $U_{R_1'} = I_1 \cdot R_1' = 124 \mu\text{A} \times 15 \text{ k}\Omega = 1,86\text{V}$.

Từ đó điện áp trên cực B_2 là :

$$U_{B_2} = U_{C_1} - U_{R_1'} = + 0,2\text{V} - 1,86\text{V} = -1,66\text{V}$$

Đây chính là mức điện áp khóa để ngát T_2 : $U_{BE_2} = -1,66\text{V}$.

Điện áp trên lối ra $Q_2 = 1$, $I_{C_2} = 0$, U_{C_2} tính theo :

$$I_{R_{t_2}} + (I_2 + I_{B_1}) = 243 \mu\text{A}.$$

$$U_{C_2} = E - I_{R_{12}} \cdot R_{12} = 5V - (243 \mu A \times 2,7 k\Omega) \approx 4,3V$$

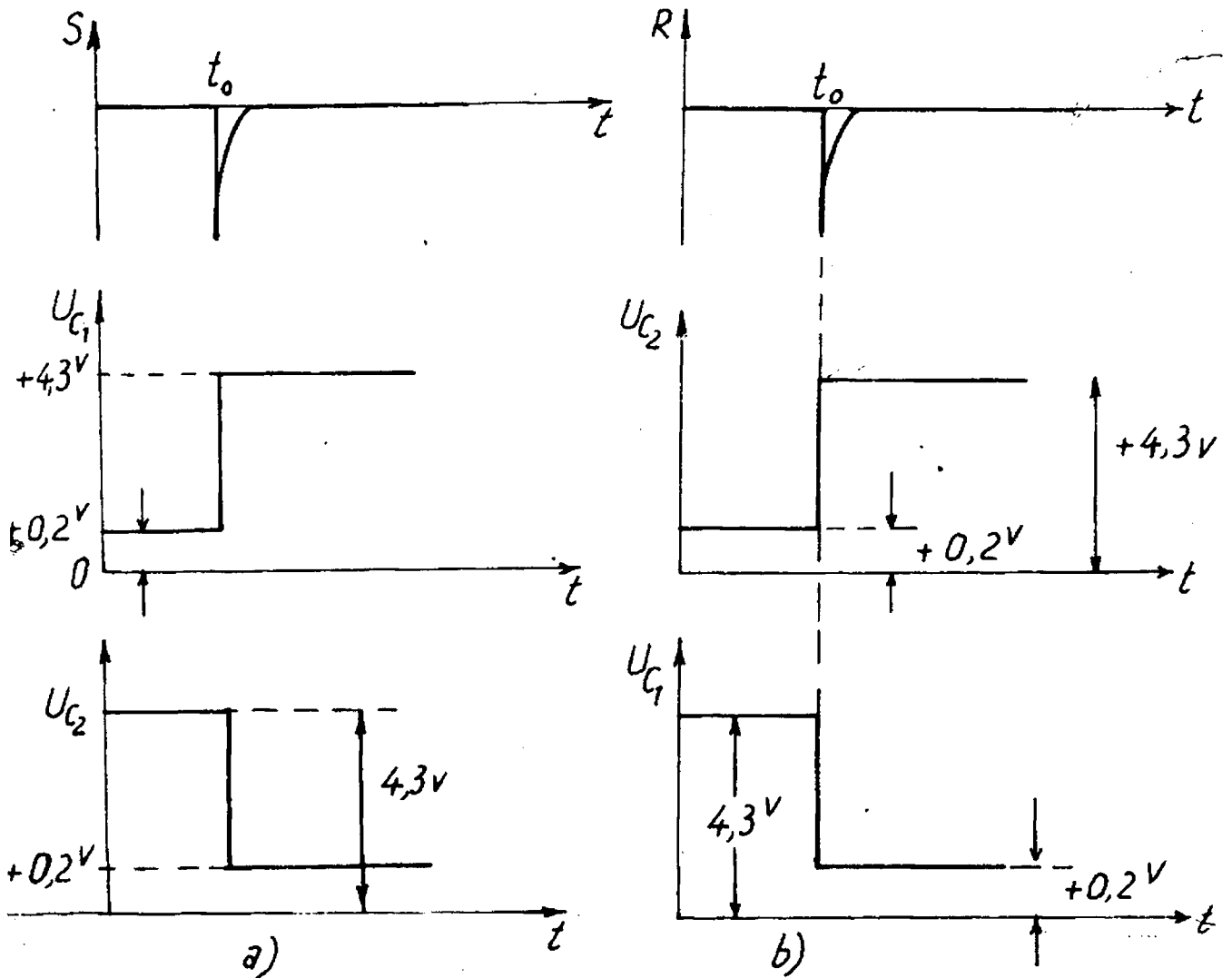
• Điện áp trên các tụ chuyển mạch C_1 và C_2 được tính bởi : $E_{C_1} = U_{C_2} - U_{B_1} = 4,3 - 0,7 = 3,6V$

$$E_{C_2} = U_{C_1} - U_{B_2} = 0,2 V - (-1,66V) = 1,86 V$$

Các mức điện áp này có vai trò quan trọng khi mạch cần khởi động để chuyển đổi trạng thái.

b) Dạng điện áp trên các cực colectơ của T_1 và T_2 vẽ theo nhịp của xung R hay S cực tính âm tác động (h.5.23).

Lưu ý các xung âm R hoặc S chỉ có tác động đối với tranzito đang ở trạng thái đóng (bão hòa).



Hình 5.23

Bài tập 5.10. Cho mạch tạo hàm hình vẽ 5.24 bao gồm 2 khối mạch tích phân dùng IC₁ và mạch so sánh có trễ (trigơ Smit) dùng IC₂.

Biết các tham số của mạch : $E = \pm 15V$, $C_1 = 0,1 \mu F$
 $R_1 = 1k\Omega$; $R_2 = 10 k\Omega$. Điện áp bão hòa của vi mạch được tính bởi $U_{\max}^+ = |U_{\max}^-| = |E| - 1V = 14V$.

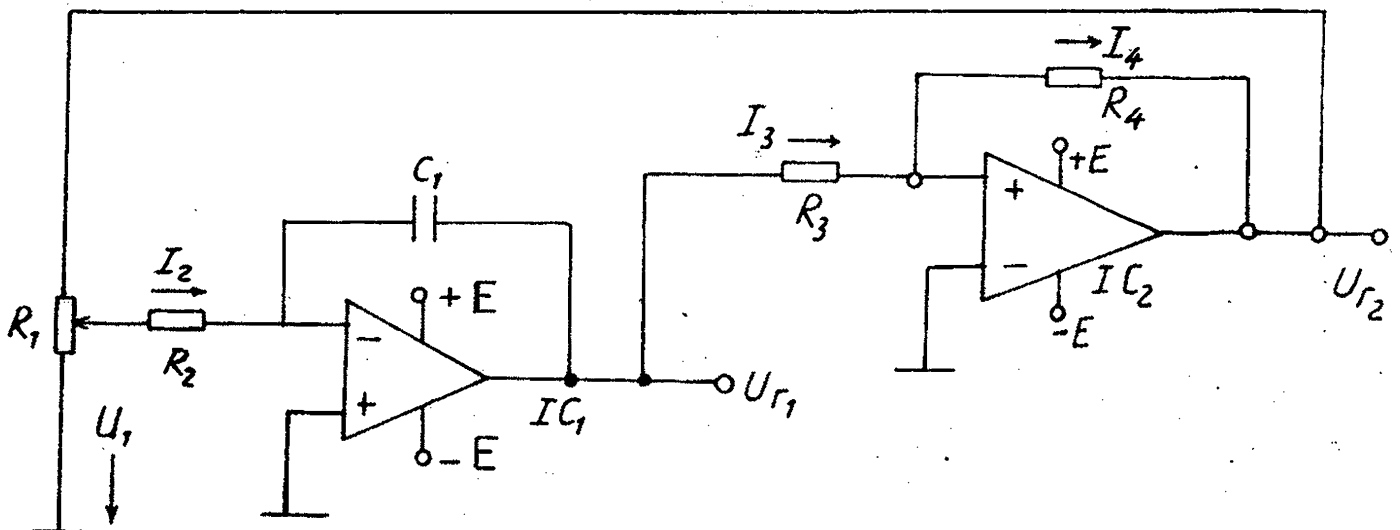
a) Tính các giá trị điện áp ngưỡng đóng và ngưỡng ngắt của trigơ Smit biết rằng $R_3 = 3,9 k\Omega$; $R_4 = 18k\Omega$.

b) Tính độ rộng xung U_{ra_2} và tần số của nó trong 2 trường hợp vị trí của R_1 : 1) phía trên cùng của R_1

2) phía dưới cách nút dưới 20% giá trị R_1 .

c) Vẽ dạng đặc tuyến $U_{ra_2} (U_{ra_1})$ và dạng $U_{ra_2}(t)$; $U_{ra_1}(t)$ tương ứng với các tham số đã tính (với trường hợp R_1 ở vị trí 20% kể từ nút dưới).

d) Nếu thay C_1 bằng giá trị khác : $C_2 = 1\mu F$ thì chu kỳ và tần số của U_{ra_2} hay (U_{ra_1}) thay đổi như thế nào ?



Hình 5.24

Bài giải :

a) Tính các điểm khởi động (ngưỡng đóng ngắt) của IC₂ :

Điện áp ra U_{ra_2} chỉ ở 1 trong 2 trạng thái bão hòa :

$$U_{ra_2} = U_{max} \approx \pm (E - 1V) = \pm 14V.$$

• Ngưỡng đóng xảy ra khi lỗi ra ở mức bão hòa âm (-14V) với lỗi vào không đảo của IC₂ ở mức 0V, khi đó $U_{R_4} = +14V$ ta có dòng điện qua R₄ là :

$$I_4 = U_{R_4}/R_4 = 14V/18k\Omega = 0,78 \text{ mA}.$$

Do tính chất lý tưởng hóa của IC₂, có cân bằng dòng điện $I_3 \approx I_4$, $U_{R_3} = I_3 \cdot R_3 = 0,78 \text{ mA} \times 3,9 \text{ k}\Omega \approx +3V$

Vậy ngưỡng đóng của mạch là : $U_{đóng} \equiv +3V$.

• Ngưỡng ngắt xuất hiện khi IC₂ ở mức bão hòa dương (+14V), đầu vào không đảo ở mức 0V ; khi đó $U_{R_4} = -14V$ tương tự trên có

$$I_3 \approx I_4 = U_{R_4}/R_4 = -14V/18k\Omega = -0,78mA.$$

$$U_{R_3} = (-0,78mA) \times 3,9 \text{ k}\Omega = -3V \equiv U_{ngắt}$$

• Chú ý : ta cũng có thể áp dụng trực tiếp các hệ thức (3.13) SGK để tính các giá trị ngưỡng điện áp đóng, ngắt này :

$$U_{ngắt} = -\frac{R_3}{R_4} \cdot U_{max}^+ = -\frac{3,9 \text{ k}\Omega}{18k\Omega} \cdot 14V = -3V$$

$$U_{đóng} = -\frac{R_3}{R_4} U_{max}^- = -\frac{3,9 \text{ k}\Omega}{18k\Omega} (-14V) = +3V$$

b) Tính các tham số của xung ra khi :

1) R₁ ở điểm đỉnh : lúc đó $U_1 = U_{ra_2} = 14V$. dòng qua R₂

$$\text{là } I_2 = \frac{U_1}{R_2} = 14V/10k\Omega = 1,4mA.$$

Với giả thiết IC₁ lý tưởng $U_{N_1} = U_{P_1} = 0V$, điện áp trên tụ tích phân C₁ biến đổi bậc nhất giữa 2 ngưỡng của Smit vậy :

$$\Delta U_c = U_{đóng} - U_{ngắt} = 3V - (-3V) = 6V.$$

Từ phương trình tuyến tính của dòng và áp trên C_1 có :

$$I_{C_1} = C_1 \frac{\Delta U_c}{\Delta t} \approx I_{R_2} (= I_2)$$

Suy ra

$$\Delta t = C_1 \cdot \frac{\Delta U_c}{I_2}$$

$$= (0,1 \mu F \cdot 6V) / 1,4mA \approx 0,43 \text{ ms} = 430 \mu s$$

độ rộng xung vuông góc (hay tam giác) là $\Delta t = 430 \mu s$.

$$\text{Chu kỳ xung ra : } T = 2\Delta t = 2 \cdot 0,43 \text{ ms} = 0,86 \text{ ms}$$

$$T = 860 \mu s$$

$$\text{Tần số xung ra : } f = \frac{1}{T} = \frac{1}{860 \mu s} = 1,17 \text{ kHz.}$$

2) Trường hợp 2 khi R_1 có con chạy ở 20% giá trị kể từ nút dưới :

Khi đó điện áp đặt vào $U_1 = 20\%$ của U_{ra_2}

$$U_1 = \frac{20 \cdot 14V}{100} = 2,8V$$

điện áp U_1 gây ra dòng $I_2 = \frac{2,8V}{10 \text{ k}\Omega} = 0,28 \text{ mA}$.

từ đó tính được độ rộng xung :

$$\Delta t = (0,1 \mu F \times 6V) / 0,28 \text{ mA} = 2,15 \text{ ms}$$

$$\text{Chu kỳ xung ra : } T = 2\Delta t = 2 \cdot 2,15 \text{ ms} = 4,3 \text{ ms}$$

$$\text{Tần số xung ra : } f = \frac{1}{T} = \frac{1}{4,3 \text{ ms}} = 234 \text{ Hz.}$$

c) Dạng các đặc tuyến U_{ra_2} (U_{ra_1}), $U_{ra_2}(t)$, $U_{ra_1}(t)$ theo các tham số đã tính ở trên được vẽ ở các hình 5.25.

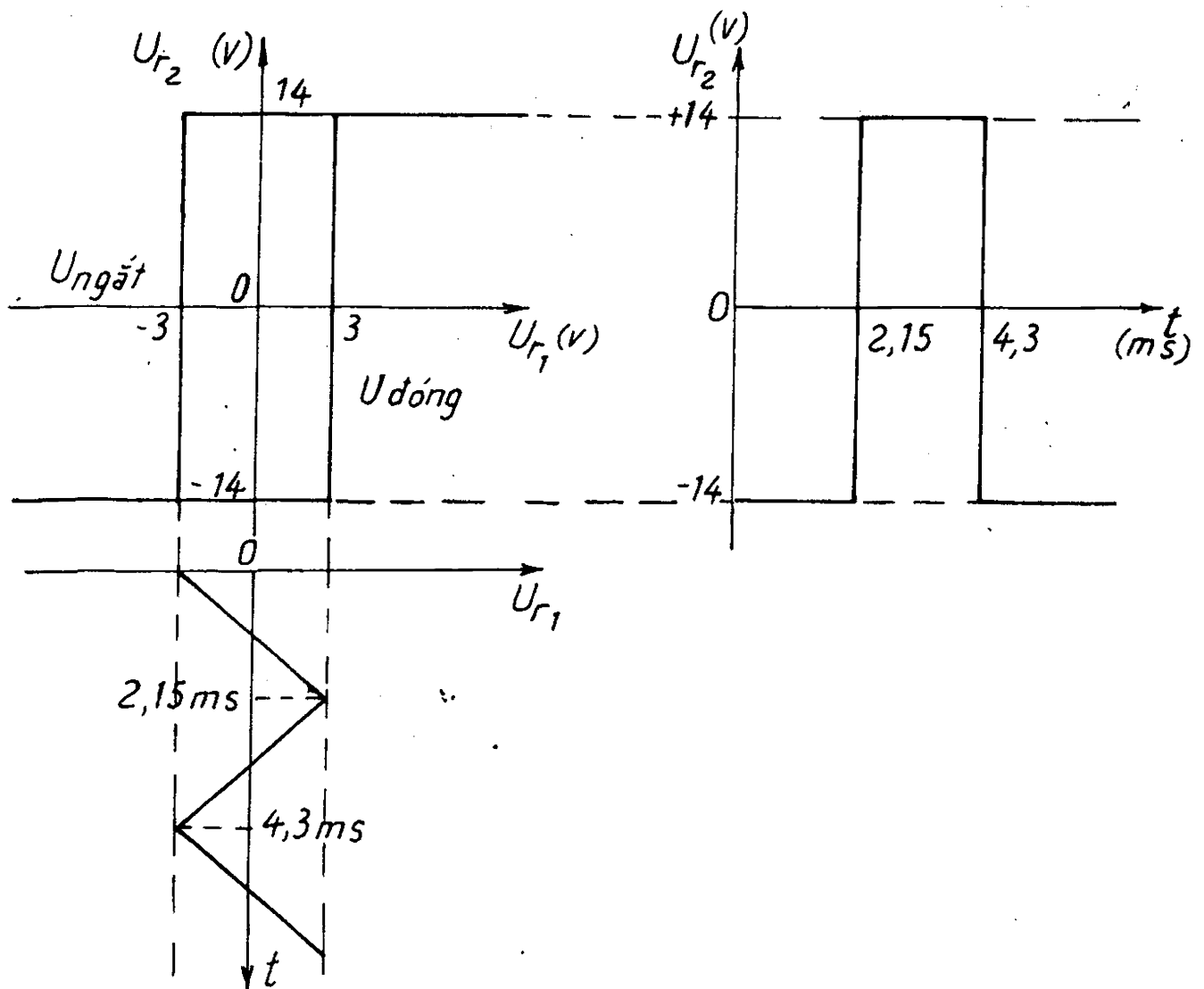
d) Nếu tăng giá trị C_1 lên 10 lần ($1 \mu F$) thì theo hệ thức

$\Delta t = C \frac{\Delta U_c}{I_c}$ với các ngưỡng đóng ngắt của IC₂ không đổi, $\Delta U_c =$ hằng số = 6V, $I_c = I_{R_2}$ cũng không đổi. Do vậy Δt cũng tăng lên 10 lần theo C.

Hay chu kỳ thay đổi đi 10 lần tương ứng. Ví dụ với trường hợp 1 của b) khi R₁ ở trên cùng, ta có :

$$T_1 = 8,6 \text{ ms và } f_1 = 117 \text{ Hz.}$$

Còn ứng với trường hợp 2 khi R₁ ở vị trí 20% từ đáy thì $T_2 = 43 \text{ ms. và } f_2 \approx 24 \text{ Hz.}$



Hình 5.25

Chương 6

ĐỀ BÀI TẬP PHẦN II

Bài tập 6.1. Cho mạch điện hình 6.1

Biết $\pm E = \pm 15V$;

$E_{ngưỡng} = +5V$

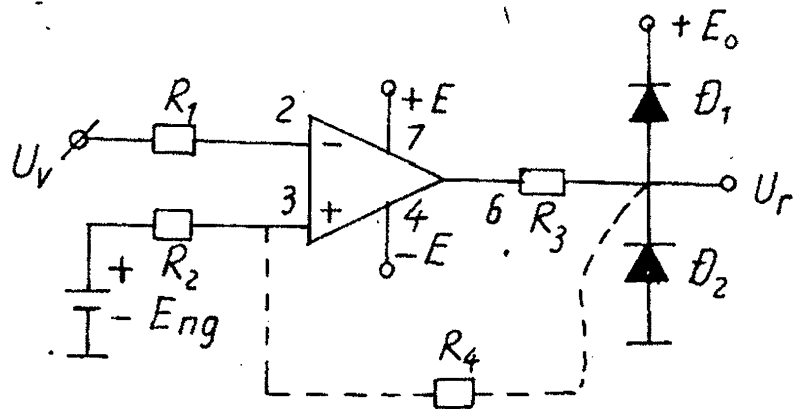
$E_o = +3V$

$R_1 = 10k\Omega$;

$R_2 = 10k\Omega$;

$R_3 = 510\Omega$;

Ngưỡng điện áp mở của D_1 và D_2 là $+0,6V$.



Hình 6.1

a) Nêu nhiệm vụ của mạch đã cho (chưa có R_4).

b) Xác định các giá trị ngưỡng của biên độ điện áp $U_{ra}(t)$ phía trên (U_{ramax}) và phía dưới (U_{ramin}). Vẽ đặc tuyến truyền đạt điện áp U_{ra} ($U_{vào}$) của mạch theo giá trị đã tính.

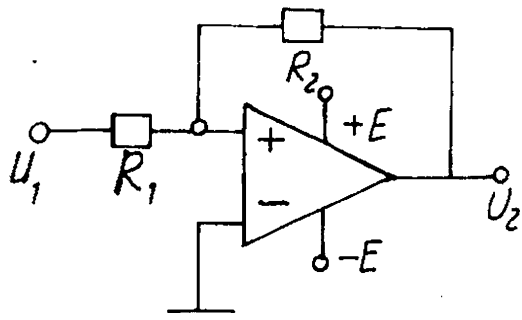
c) Nếu thay đổi giá trị E_o (cực tính hoặc độ lớn) hoặc thay D_2 bằng 1 diốt Zener (có katôt nối với điểm 0V) thì đặc tuyến truyền đạt đã vẽ ở câu b), thay đổi như thế nào ?

d) Khi nối thêm điện trở $R_4 = 10k\Omega$ (nhờ đường nét đứt trên hình 6.1) đặc tính truyền đạt của mạch có gì thay đổi. Trong trường hợp này, xác định giá trị điện áp trễ chuyển mạch của sơ đồ.

Bài tập 6.2. Cho mạch trigơ Smit thuận hình 6.2

Biết rằng : $\pm E = \pm 13V$.

$R_1 = 10k\Omega$, $R_2 = 20k\Omega$. Các giá trị điện áp ngưỡng, bão hòa của IC là $\pm 12V$. ($U_{max}^+ = +12V$; $U_{max}^- = -12V$) $U_1(t)$ là 1 điện áp dạng tam giác đối xứng qua gốc có chu kỳ $T_1 = 30ms$, biên độ $U_{1m} = \pm 6V$.



Hình 6.2

a) Vẽ dạng đặc tính truyền đạt (lý tưởng) $U_2(U_1)$ của mạch.

b) Xác định các tham số của xung vuông góc (biên độ, chu kỳ và thời gian chậm pha đầu của $U_2(t)$ so với $U_1(t)$.

c) Để có biên độ điện áp ra thỏa mãn $+0,6V \geq U_{2m} \geq -5,4V$ cần bổ sung mạch hạn chế biên độ ở lối ra như thế nào ?

d) Thực tế IC có độ trễ chuyển mạch là $20ns/V$ ($1ns = 10^{-9}s$). Xác định thời gian trễ lúc chuyển mạch của $U_2(t)$ trong 2 trường hợp :

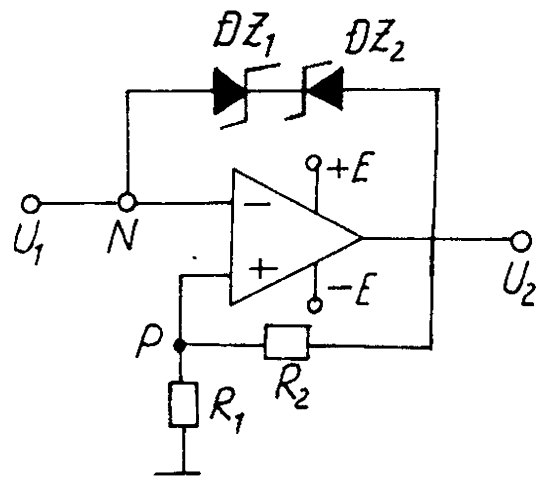
- 1) Chưa dùng mạch hạn chế biên độ.
- 2) Dùng mạch hạn chế như yêu cầu câu c)

Nhận xét hai kết quả vừa thu được.

Bài tập 6.3. Cho mạch hình 6.3.

Biết $U_{Z_1} = U_{Z_2} = 5,6V$

Điện áp của DZ_1, DZ_2 ở chế độ mở thuận là $+0,7V, \pm E = \pm 13V$; $R_1 = 10k\Omega, R_2 = 20k\Omega$. Tại lối vào N đưa tới $U_1(t)$ là 1 điện áp tam giác có dạng đối xứng qua gốc với biên độ $U_{1m} = \pm 4,2V$; chu kỳ $T_1 = 24ms$.



Hình 6.3

a) Hãy xác định dạng đặc tuyến truyền đạt của mạch đã cho trong trường hợp IC là khóa lý tưởng.

b) Xác định dạng $U_2(t)$ trên đồ thị thẳng hàng với $U_1(t)$. Tính chu kỳ T_2 , biên độ U_{2m} , thời gian chậm pha đầu của $U_2(t)$ so với $U_1(t)$. Chú ý chọn mức bão hòa $\pm (E - 1V)$.

c) IC thực tế có độ trễ chuyển mạch là $10ns/V$.

Tính thời gian trễ do khóa IC không lý tưởng đối với điện áp lối ra $U_2(t)$ khi sơ đồ chuyển trạng thái và giới hạn tần số $f_{1\max}$ để sơ đồ còn làm việc tin cậy.

Bài tập 6.4. Mạch hình 6.4 có các tham số sau :

$$\pm E = \pm 12V$$

$$C_1 = 0,01 \mu F ;$$

$$C_2 = 0,1 \mu F$$

$$R = 15 \text{ k}\Omega, VR = 5 \text{ k}\Omega$$

$$R_1 = R_2 = 20 \text{ k}\Omega$$

a) Nêu nhiệm vụ của mạch, vẽ dạng điện áp tại các điểm P, N, A trên đồ thị thẳng hàng.

b) Xác định dải tần số và chu kỳ của $U_{ra}(t)$ khi VR thay đổi $0 \div 5 \text{ k}\Omega$ trong 2 trường hợp khóa K ở 1 và khóa K ở 2.

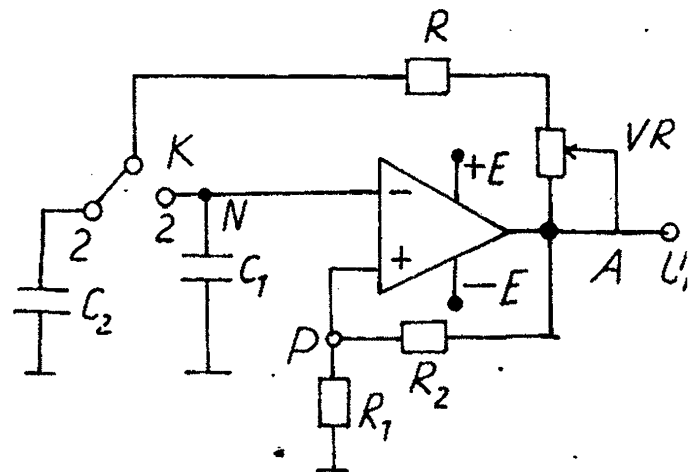
c) Nếu cung cấp cho IC chỉ 1 nguồn cực tính dương $E = \pm 12V$ các kết quả câu a) và câu b) có gì thay đổi ?

Bài tập 6.5. Trên mạch điện hình 6.5, để nhận được điện áp ra 1 cực tính $U_{ra} = +5V$ người ta đưa vào một mạch gồm R_4 , Đ và ĐZ với dòng $I_Z = 10\text{mA}$. Biết $\pm E = \pm 15V$, $R_1 = 15\text{k}\Omega$, $R_2 = 60 \text{ k}\Omega$, $VR = 40\text{k}\Omega$, $R_3 = 20 \text{ k}\Omega$; $U_{\max}^+ = +9V$; $U_{\max}^- = -9V$; $C = 0,01 \mu F$.

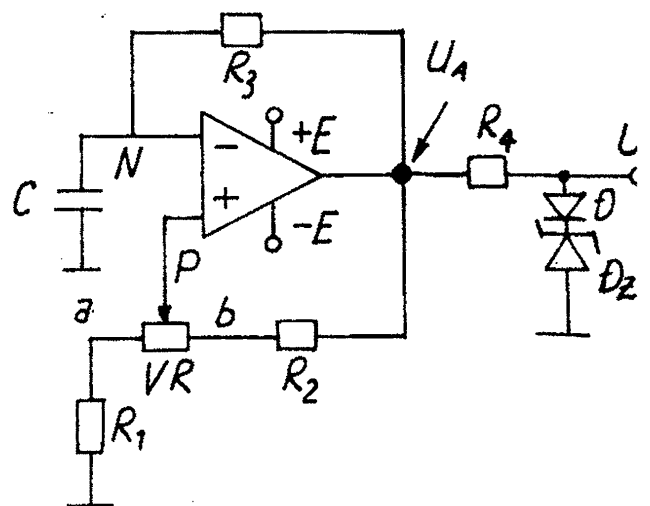
a) Giải thích tác dụng của VR

Tính chu kỳ của $U_{ra}(t)$ khi VR ở các điểm nút a và b.

b) Vẽ dạng điện áp theo thời gian tại các điểm N, P, A theo các tham số đã cho (VR ở vị trí b)



Hình 6.4



Hình 6.5

c) Giải thích hoạt động của khâu mạch R_4 , Đ, ĐZ

Tính giá trị R_4 (khi tải mắc vào có giá trị đủ lớn)

Giá trị điện áp U_Z của ĐZ chọn là bao nhiêu để đảm bảo mức xung dương là +5V ?

Bài tập 6.6. Xem mạch hình 6.6.

Biết $E = \pm 9V$;

$U_{\max}^{\pm} = \pm 8V$

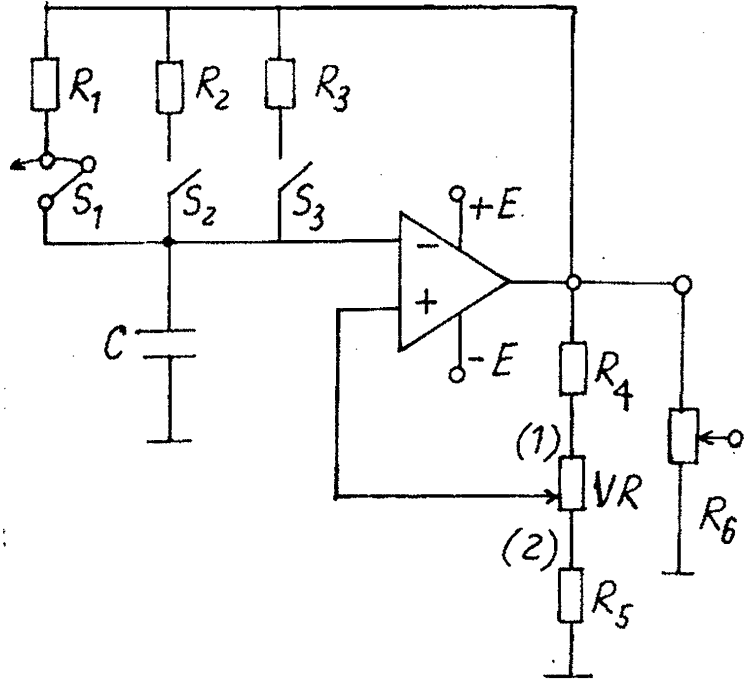
$R_4 = 100 \text{ k}\Omega$;

$R_5 = 90 \text{ k}\Omega$

$VR = 10 \text{ k}\Omega$;

$R_6 = 10 \text{ k}\Omega$.

Khi các khóa S_1 hoặc S_2 hoặc S_3 đóng, ta đo được tại lối ra điện áp $\pm 2V$, tần số 500 kHz hoặc 670 kHz hoặc 760 kHz.



Hình 6.6

a) Tính giá trị R_1 , R_2 , R_3 tương ứng (khi $C = 0,01 \mu F$, VR ở vị trí (1)). Trị số chia áp của R_6 là bao nhiêu ?

b) Nếu VR thay đổi từ (1) tới vị trí (2) thì 3 cặp tần số tương ứng sẽ là bao nhiêu.

c) Để biến đổi tần số ra trong 1 dải đều đặn từ 500 Hz đến 5000 Hz hãy nêu các biện pháp khác nhau (sử dụng từng biện pháp riêng lẻ, khi đó các thông số khác giữ nguyên không đổi).

Bài tập 6.7. Cho mạch hình 6.7

a) Hãy vẽ dạng điện áp biến đổi theo thời gian tại các điểm (1) và (2) của mạch.

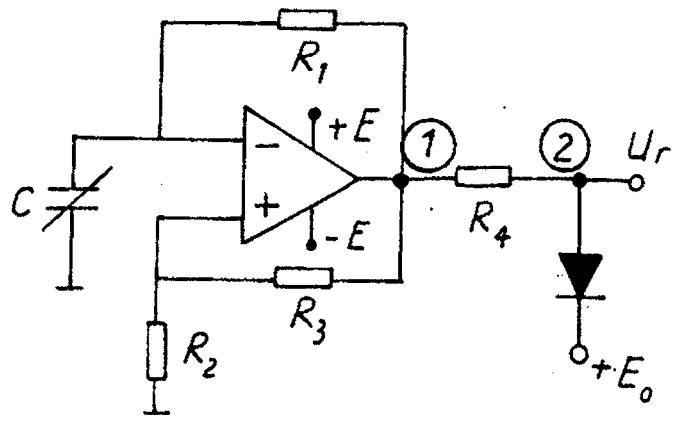
b) Xác định biên độ của $U_2(t)$ ($U_{2\max}$ và $U_{2\min}$).

Xác định tần số (chu kì) của điện áp ra.

Biết rằng :

1) $E = \pm 9V$; $E_0 = \pm 5V$, điện áp bão hòa của IC là $\pm 8V$

- $R_1 = 6,8 \text{ k}\Omega$;
 $R_2 = R_3 = 15 \text{ k}\Omega$
 $R_4 = 10 \text{ k}\Omega$;
 $C = 0,047 \mu\text{F} \div 0,47 \mu\text{F}$
 2) $R_1 = 20 \text{ k}\Omega$;
 $R_2 = 5,6 \text{ k}\Omega$;
 $R_3 = 6,2 \text{ k}\Omega$
 $C = 0,2 \mu\text{F}$;
 $E = \pm 12\text{V}$



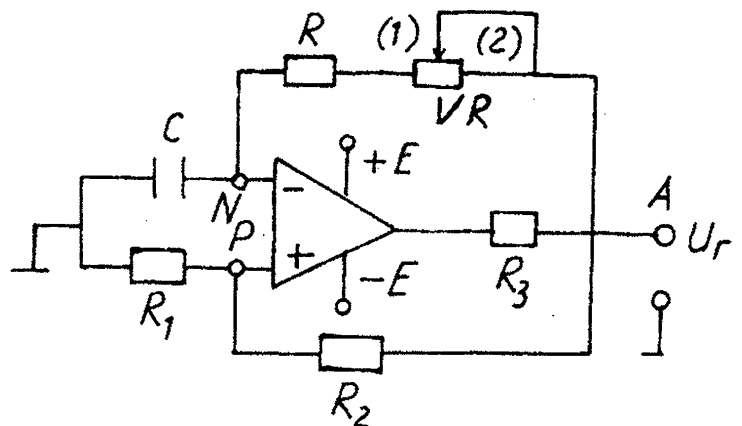
Hình 6.7

Điện áp bão hòa của IC : $\pm (E - 1\text{V}) = \pm 11\text{V} = U_{\text{max}}^{\mp}$

DS : (8,26 ms/121 Hz)

Bài tập 6.8. Cho mạch hình 6.8 với

- $\pm E = \pm 15\text{V}$;
 $R_1 = 20 \text{ k}\Omega$
 $R_2 = 82 \text{ k}\Omega$;
 $R = 16 \text{ k}\Omega$
 $VR = 10 \text{ k}\Omega$;
 $R_3 = 51 \Omega$
 $C = 0,1 \mu\text{F}$



Hình 6.8

a) Nêu rõ các phần tử thực hiện hồi tiếp và tính chất của chúng trong sơ đồ đã cho.

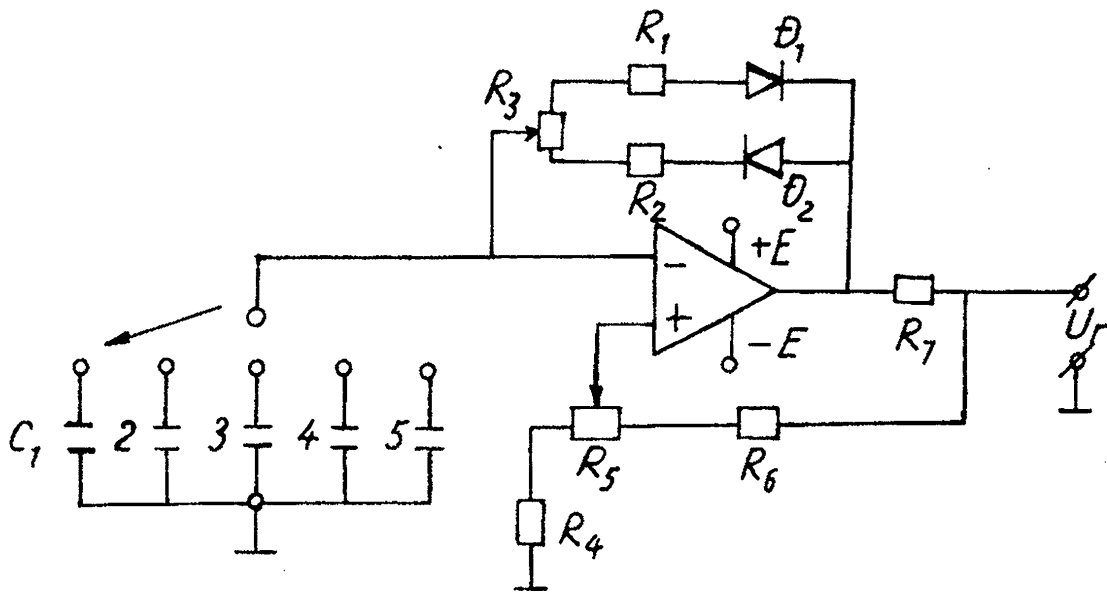
Tính các giá trị hệ số hồi tiếp (cực đại nếu biến đổi) của các mạch hồi tiếp âm và hồi tiếp dương vừa nêu.

b) Xác định dải $f_{\text{max}} \div f_{\text{min}}$ khi VR thay đổi $0 \div 10 \text{ k}\Omega$ và chu kì tương ứng $T_{\text{min}} \div T_{\text{max}}$ của điện áp ra.

c) Vẽ dạng điện áp tại các điểm P, N và A trong sơ đồ (theo các tham số đã tính ứng với 2 trường hợp $VR = 0$ và $VR = 10 \text{ k}\Omega$). Nếu chỉ cung cấp cho IC điện áp 1 cực tính $-E = -15\text{V}$ (chân ứng với nguồn $+E$ sẽ nối với OV), dạng điện áp tại

các điểm trên thay đổi như thế nào ? (xét với vị trí $V_R = 0$)
 DS : $F_{\min} = 680 \text{ Hz}$...

Bài tập 6.9 Cho mạch hình 6.9.



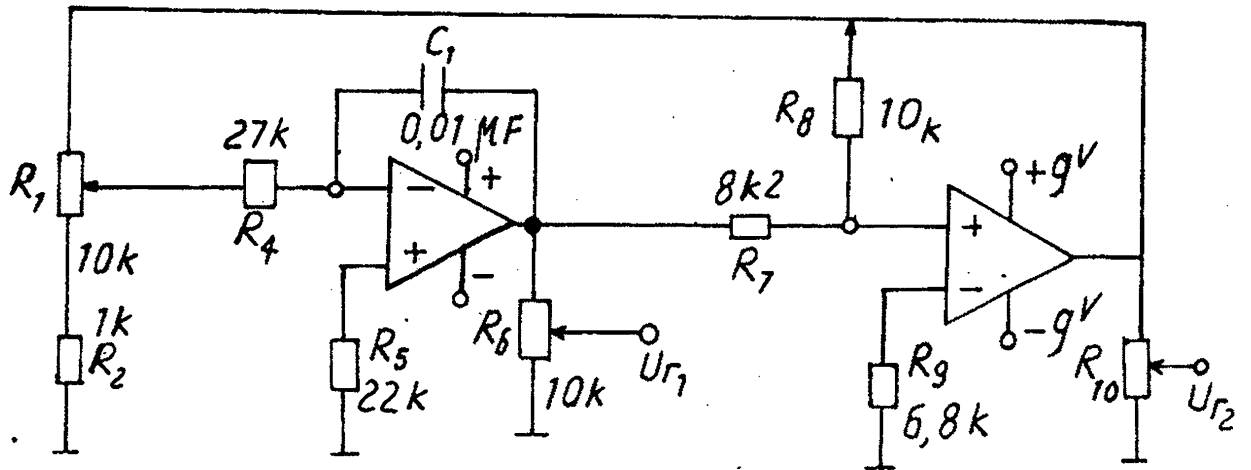
Hình 6.9

Biết các giá trị linh kiện của mạch $C_1 = 1\text{nF}$, $C_2 = 10C_1$,
 $C_3 = 10C_2$; $C_4 = 10C_3$; $C_5 = 10 \mu\text{F}$; $R_1 = R_2 = 13 \text{ k}\Omega$;
 $R_3 = 75 \text{ k}\Omega$; $R_4 = 1,3 \text{ k}\Omega$; $R_5 = 25 \text{ k}\Omega$; $R_6 = 82 \text{ k}\Omega$;
 $R_7 = 51\Omega$.

- Phân tích nhiệm vụ của R_3 và R_5
- Với $C_5 = 10 \mu\text{F}$, R_3 và R_5 ở điểm giữa, tính các tham số chu kì, tần số, độ đầy và độ rộng của xung.
- Chỉ ra trạng thái của mạch (vị trí R_3 , R_5 và với C_1 nào) điện áp ra có chu kì dài nhất ? Xung hẹp nhất ? Hãy tính các giá trị này.

Bài tập 6.10. Cho mạch điện hình 6.10, mạch gồm IC_1 là 1 bộ tích phân và IC_2 là 1 sơ đồ Trigơ Smit thuận.

- Giải thích hoạt động của mạch hình 6.10. Nêu tác dụng của các điện trở biến đổi R_1 , R_6 và R_{10} .
- Vai trò R_5 và R_9 trong mạch ?
- Chứng minh rằng các điện áp ra U_{ra_1} và U_{ra_2} có thể thay đổi tần số trong khoảng 100 Hz đến 1 kHz ? Chỉ ra trạng thái của sơ đồ ứng với 2 tần số giới hạn này.

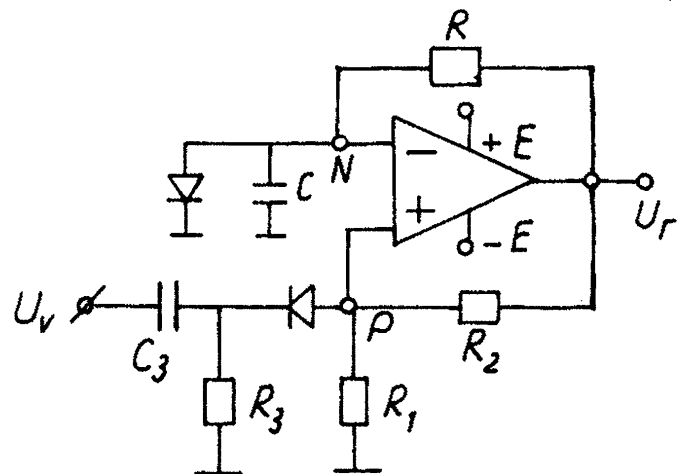


Hình 6.10

d) Hãy vẽ dạng U_{ra1} , U_{ra2} theo t (ở 1 vị trí bất kì nào đó của R_1 và R_6 , R_{10} ở giá trị cực đại).

Biết các giá trị linh kiện cho trên sơ đồ hình 6.10. Nguồn cung cấp $E = \pm 9V$; chọn giá trị điện áp bão hòa của các vi mạch là: $9V - 1V = 8V = U_{max}^+$; $-9V + 1V = -8V = U_{max}^-$ (Chú ý rằng trị số cực đại biên độ của U_{ra1} khoảng $\pm 5,5V$ và của IC_2 khoảng $\pm 8V$).

Bài tập 6.11. Cho các tham số của sơ đồ mạch hình 6.11 là $E = \pm 12V$; $U_{max}^+ = 9V$; $U_{max}^- = -9V$; $R_1 = R_2 = 10\text{ k}\Omega$, $C = 0,1\ \mu F$; $R = 9,1\text{ k}\Omega$; $R_3 = 4,5\text{ k}\Omega$; $C_3 = 22\text{ nF}$; $U_{vào}(t)$ có dạng là 1 xung vuông góc, qua mạch R_3C_3 chuyển thành xung nhọn đầu, biên độ $5V$, chu kì bằng 10ms .



Hình 6-11 a)

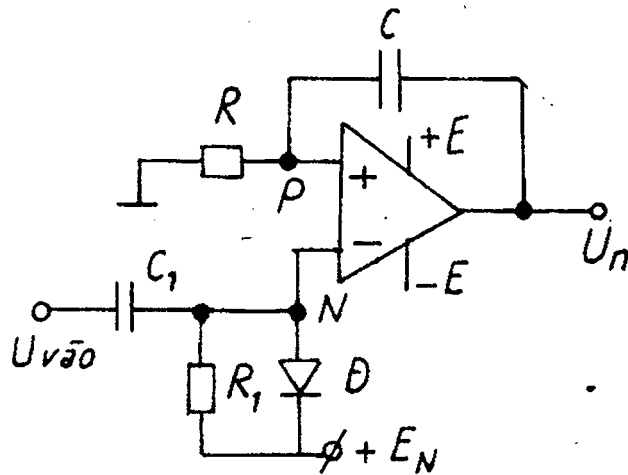
a) Giải thích hoạt động của mạch hình 6.11 và qua đó xác định dạng các điện áp $U_N(t)$, $U_P(t)$, $U_{ra}(t)$ theo $U_{vào}(t)$ (và tính các tham số của $U_{ra}(t)$):

Độ rộng xung, chu kì, biên độ xung ra.

b) Vẽ mạch hạn chế biên độ ở lối ra để $0 \leq U_{ram} \leq 5V$

c) Mạch hình 6.11b có nhiệm vụ tương tự như mạch hình 6.11a. Với $E_N = +1V$, $U_{max}^+ = 9V$, $U_{max}^- = -9V$; $\pm E = \pm 10V$. $R_1 = 22 k\Omega$; $R = 10 k\Omega$; $C_1 = 100 pF$; $C = 0,01 \mu F$, $U_{vào}(t)$ giả thiết như trước là 1 xung vuông góc biên độ +5V.

Hãy vẽ dạng $U_p(t)$, $U_N(t)$ và $U_{ra}(t)$ và tính độ rộng của xung $U_{ra}(t)$.



Hình 6.11 b)

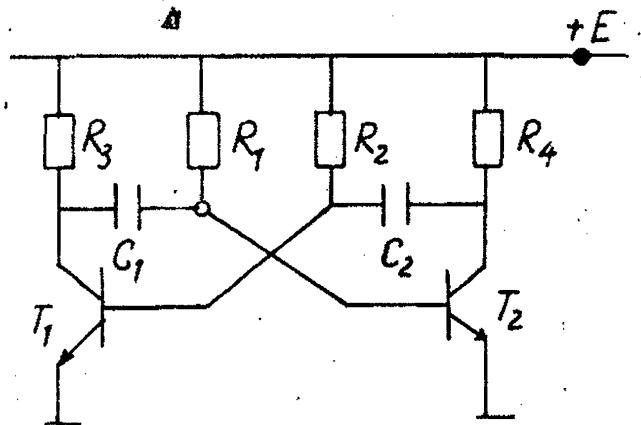
Bài tập 6.12. Cho mạch hình (6.12). Biết $E = +10V$

$U_{CE_{bhòa}} = 0,2V$; $R_1 = 3R_2 = 6 k\Omega$; $C_1 = C_2 = 0,1 \mu F$.

- Vẽ dạng điện áp trên các cực collector và bazơ của các tranzito T_1 và T_2 , giải thích các dạng đã vẽ.

- Giả thiết điện trở tải đủ lớn hơn R_3, R_4 . Xác định chu kỳ, độ rộng và biên độ xung ra.

- Nếu chọn $R_1 = 6 k\Omega$; R_2 từ $1 k\Omega$ đến $3 k\Omega$. $C_1 = C_2 = 2\mu F$. Hãy xác định khoảng thay đổi của tỉ số.



Hình 6.12

τ/T với τ là độ rộng xung ra và T là chu kì của nó (tỉ số τ/T gọi là hệ số lấp đầy xung)

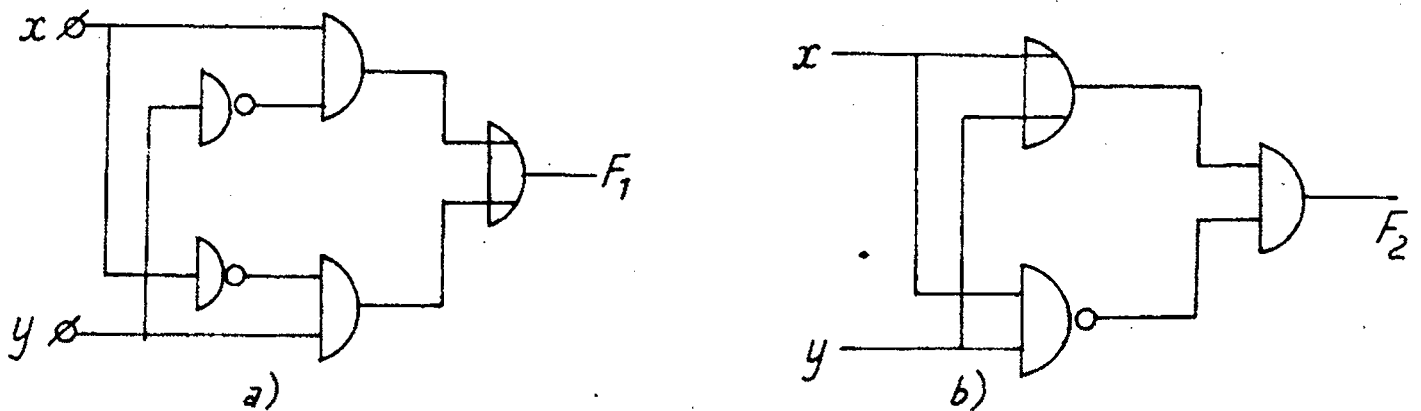
Bài tập 6.13. Cho hai mạch logic tổ hợp có cấu trúc trên hình 6.13a và hình 6.13b với các biến đầu vào kí hiệu là x và y để tổng hợp các hàm trạng thái ra F_1 và F_2 tương ứng.

a) Viết biểu thức logic đầy đủ của hàm F_1 và của hàm F_2 được tạo bởi hai cấu trúc đã cho.

b) Chứng minh rằng sau khi tối giản F_1 và F_2 ta có $F_1 = F_2$

c) Chứng minh rằng $x \oplus F_1 = y$ hoặc $y \oplus F_2 = x$.

d) Tìm 1 dạng cấu trúc thứ 3 tương đương với cấu trúc hình 6.11 để thực hiện F_1 chỉ từ các phân tử NAND hai đầu vào. Tương tự tìm 1 cấu trúc chỉ gồm các phân tử NOR tương đương với hình 6.12 thực hiện F_2 .



Hình 6.13

Bài tập 6.14. Cho hàm logic có dạng $F = \overline{x_0} \cdot x_1 x_2 x_3$ trong đó x_i ($i = 0,3$) là các biến logic chỉ nhận một trong 2 trị 0 hoặc 1.

a) Thiết lập bảng chân lí của F theo các biến đã cho.

b) Xây dựng cấu trúc F từ phân tử NAND loại có hai đầu vào.

c) Tổng quát trong trường hợp $F = \overline{x_0} x_1 x_2 x \dots x_n$ các câu hỏi như a) và b).

Bài tập 6.15

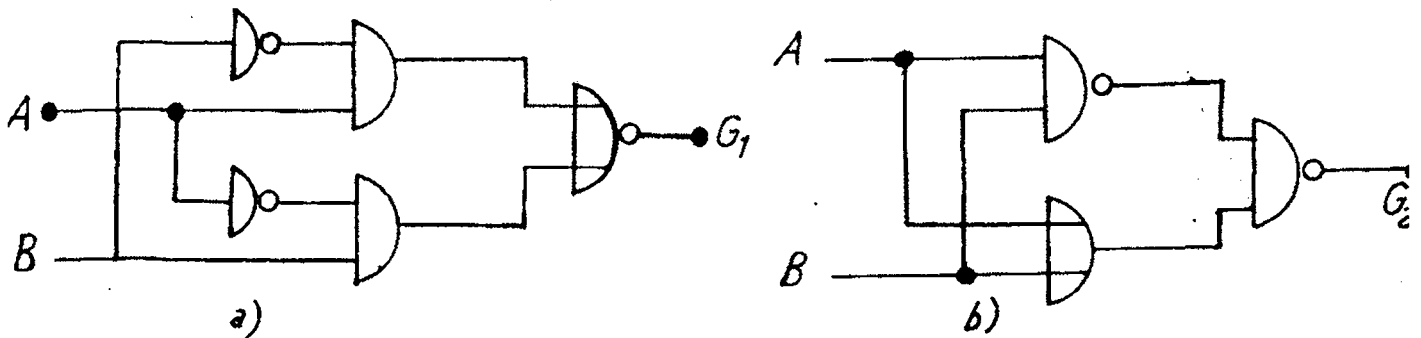
1. Hãy chứng minh tính chất vạn năng của phân tử và - phủ định hoặc phân tử hoặc - phủ định (NAND hoặc NOR) bằng cách thiết lập các cấu trúc thực hiện 4 phân tử logic còn lại bằng chỉ 1 loại NAND hai cửa vào hay bằng chỉ 1 loại NOR hai cửa vào.

2. Cho hai cấu trúc hình 6.14a và 6.14b dùng để thực hiện các hàm logic G_1 và G_2 với các biến logic lối vào là A và B.

a) Thiết lập biểu thức logic của G_1 và G_2

b) Đơn giản biểu thức đã thu được và tìm mối quan hệ giữa G_1 và G_2 .

c) Tìm hai cấu trúc tương đương với 2 cấu trúc trên chỉ thực hiện các hàm G_1 (hoặc G_2) bằng các phân tử NAND (hoặc NOR) có hai cửa vào.



Hình 6.14

Bài tập 6.16. Trên hình 6.15 là đồ thị thời gian của các biến logic $X_1(t)$, $X_2(t)$, $X_3(t)$.

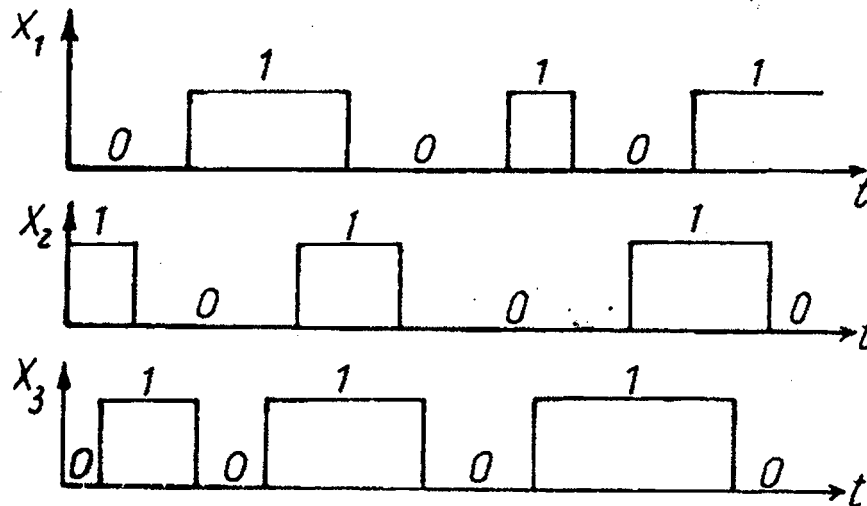
a) Hãy thiết lập đồ thị thời gian của các hàm logic cơ bản được xây dựng từ 3 phép tính logic đối với các biến X_1 , X_2 , X_3

$$F_{NO_1} = \bar{X}_1 ; F_{NO_2} = \bar{X}_2 ; F_{NO_3} = \bar{X}_3$$

$$F_{AND} = X_1 \cdot X_2 \cdot X_3 ; F_{OR} = X_1 + X_2 + X_3$$

$$F_{NAND} = \overline{X_1 \cdot X_2 \cdot X_3}$$

$$F_{\text{NOR}} = \overline{X_1 + X_2 + X_3}$$



Hình 6.15

b) Hãy thiết lập bảng chân lí của các hàm trên.

c) Xây dựng cấu trúc các hàm F_{AND} , F_{OR} , F_{NAND} , F_{NOR} từ các phần tử NAND và NOR loại chỉ có hai cửa vào.

d) Theo định nghĩa hàm cộng môđun 3 biến :

$$F = X_1 \oplus X_2 \oplus X_3$$

Viết biểu đồ thời gian và bảng trạng thái ứng với X_1 , X_2 và X_3 đã cho ở hình 6.15.

Bài tập 6.17. Cho các hàm logic 3 biến có biểu thức dạng sau :

$$1) F_1(X_1, X_2, X_3) = X_1 \bar{X}_2 X_3 + X_1 \bar{X}_3 + X_2 \bar{X}_3$$

$$2) F_2(X_1, X_2, X_3) = \bar{X}_1 X_3 + X_2 X_3 + \bar{X}_1 X_2 \bar{X}_3$$

$$3) F_3(X_1, X_2, X_3) = \bar{X}_1 X_2 + \bar{X}_2 X_3 + \bar{X}_3 X_1 + X_1 X_2 X_3$$

$$4) F_4(X_1, X_2, X_3) = X_1 \bar{X}_2 + X_2 \bar{X}_3 + X_3 \bar{X}_1 + X_1 X_2 X_3$$

$$5) F_5(X_1, X_2, X_3) = X_1 X_2 + X_2 X_3 + X_1 X_3$$

$$6) F_6(X_1, X_2, X_3) = \bar{X}_1 \bar{X}_2 + \bar{X}_2 \bar{X}_3 + \bar{X}_1 \bar{X}_3 + X_1 X_2 X_3$$

a) Hãy thiết lập bảng trạng thái của $F_1 \div F_6$ tương ứng với biểu thức đã cho, từ đó xây dựng bìa Cacno của chúng.

b) Nếu biết trước đồ thị thời gian của $X_1(t)$, $X_2(t)$ và $X_3(t)$ (dạng tự chọn), vẽ dạng $F_i(t)$ theo giả thiết đã chọn.

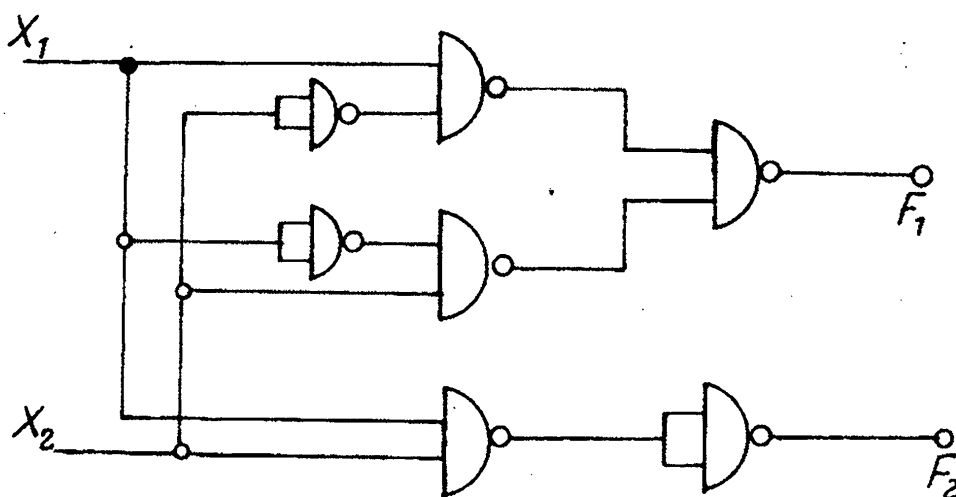
c) Tìm cấu trúc thực hiện các hàm F_i ($i = 1 - 6$) bằng chỉ các phân tử NAND có hai lối vào.

Bài tập 6.18. Cho mạch điện hình 6.16 với hai lối vào biến X_1 và X_2 , hai lối ra nhận được các hàm F_1 và F_2 .

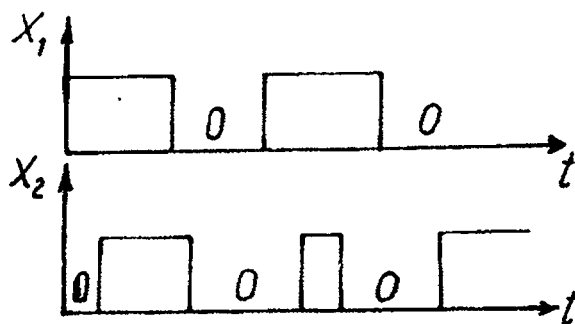
a) Viết các biểu thức logic của F_1 và của F_2 và đưa chúng về dạng tối thiểu.

b) Lập các bảng trạng thái tương ứng của F_1 và F_2 .

c) Với dạng $X_1(t)$ và $X_2(t)$ biết trước (h. 6.17). Vẽ dạng đồ thị thời gian của $F_1(t)$ và $F_2(t)$ phù hợp với X_1 , X_2 đã cho.



Hình 6.16



Hình 6.17

Bài tập 6.19. Cho các hàm logic 3 biến có giá trị được xác định bởi các bảng trạng thái dưới đây :

$X_1 X_2 X_3$	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	F_9
0 0 0	1	0	1	0	0	1	0	1	0
0 0 1	0	1	1	0	1	1	1	1	1
0 1 0	1	0	0	1	1	1	1	0	1
0 1 1	0	1	0	1	1	0	1	1	0
1 0 0	1	0	1	1	0	0	0	1	1
1 0 1	0	1	0	0	1	1	1	0	0
1 1 0	1	0	0	1	1	1	1	1	1
1 1 1	0	1	1	0	1	1	0	1	1

- a) Viết bìa cacno cho các hàm $F_1 \div F_9$ đã cho.
- b) Tối thiểu hóa các hàm trên bằng phương pháp Cacno.
- c) Xây dựng cấu trúc các hàm $F_1 \div F_9$ chỉ dùng thuần nhất 1 loại NAND 2 cửa hay 1 loại NOR 2 cửa vào.

Bài tập 6.20. Hàm khác dấu (cộng modun nhị phân) 3 biến được định nghĩa $F = X_1 \oplus X_2 \oplus X_3$

- a) Hãy lập biểu thức đầy đủ và bảng trạng thái của F.
- b) Xây dựng cấu trúc F từ các phần tử logic cơ bản NO, AND, OR
- c) Nếu trong biểu thức định nghĩa thay X_3 bằng \bar{X}_3
 $F = X_1 \oplus X_2 \oplus \bar{X}_3$ thì các kết quả của câu a) và b) có gì thay đổi.

Bài tập 6.21. Dựa vào các định luật và quy tắc (tiên đề) của đại số logic, hãy chứng minh một số định lí sau :

a) $(X_1 + X_2)(X_1 + X_3) = X_1 + X_2 X_3$

$$X_1 \bar{X}_2 + X_1 X_2 = X_1$$

$$X_1 + \bar{X}_1 X_2 = X_1 + X_2$$

b) $X_1(\bar{X}_1 + X_2) = X_1 X_2$

$$X_1(X_1 + X_2) = X_1$$

$$X_1 + X_1 X_2 = X_1$$

c) Chứng minh các tính chất sau của phép cộng modun :

$$x \oplus 0 = x ; x \oplus 1 = \bar{x}$$

$$x \oplus x = 0 ; x \oplus \bar{x} = 1$$

nếu $x_1 \oplus x_2 = x_3$ thì

$$x_1 \oplus x_3 = x_2 \text{ và } x_2 \oplus x_3 = x_1$$

Bài tập 6.22. Cho các hàm logic 3 biến sau :

$$F_1 = X_1 X_2 + \bar{X}_1 X_3 ; G_1 = (X_1 + X_2)(\bar{X}_1 + X_3)$$

$$F_2 = X_1 X_2 + \bar{X}_1 X_3 + X_2 X_3 ;$$

$$G_2 = (X_1 + X_2)(\bar{X}_1 + X_3)(X_2 + X_3)$$

a) Chứng minh rằng F_1 và F_2 cùng biểu diễn 1 hàm F và G_1 và G_2 cùng biểu diễn 1 hàm G .

b) Viết bảng trạng thái và bìa Cacno của F và của G

Có nhận xét gì khi đồng thời có $X_3 = X_2 = 1$ đối với các hàm F_1 và F_2 , trong trường hợp này dùng hàm F_1 hay F_2 thuận lợi hơn nếu để ý tới tính chất quá độ khi chuyển trạng thái $0 \rightleftharpoons 1$ của bất kì 1 biến hay hàm logic nào đó ? Tương tự với G_1 và G_2 khi đồng thời $X_2 = X_3 = 0$

c) Xây dựng cấu trúc thực hiện F_2 và cấu trúc thực hiện G_2 từ các phần tử NAND có 2 cửa vào.

Bài tập 6.23. Cho 2 hàm logic 3 biến có biểu thức sau :

$$F_1 = xy + yz + zx$$

$$F_2 = \bar{x}\bar{y} + \bar{y}\bar{z} + \bar{z}\bar{x}$$

a) Tìm mối liên hệ giữa 2 hàm F_1 và F_2

b) Thiết lập bảng trạng thái và bìa cacno của F_1 và của F_2

c) Xây dựng cấu trúc F_1 từ các phần tử NAND 2 cửa vào và cấu trúc thực hiện F_2 từ các phần tử NOR 2 cửa vào.

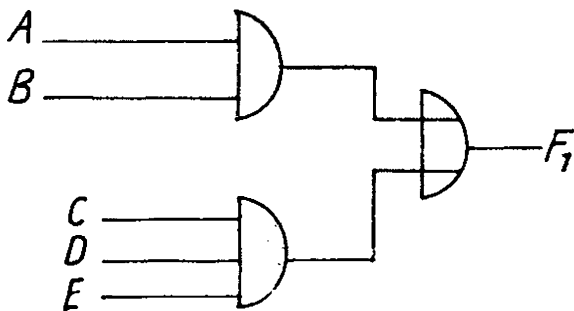
Bài tập 6.24. Cho hai hàm logic 3 biến sau :

$$G_1 = (x + y)(y + z)(z + x)$$

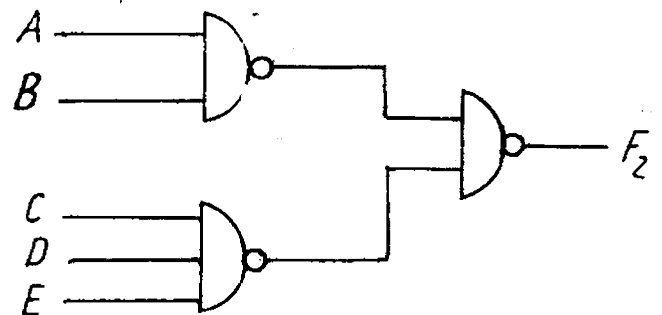
$$G_2 = \overline{xy + yz + zx}$$

- Tìm quan hệ logic giữa G_1 và G_2
- Viết biểu thức và bảng trạng thái của G_1 và G_2 .
- Xây dựng cấu trúc thực hiện G_1 từ các phân tử NAND 2 cửa vào và cấu trúc thực hiện G_2 từ các phân tử NOR 2 cửa vào.

Bài tập 6.25. Hình 6.18 và 6.19 biểu diễn hai cấu trúc thực hiện các hàm F_1 và F_2 tương ứng từ các biến vào A, B, C, D và E.



Hình 6.18



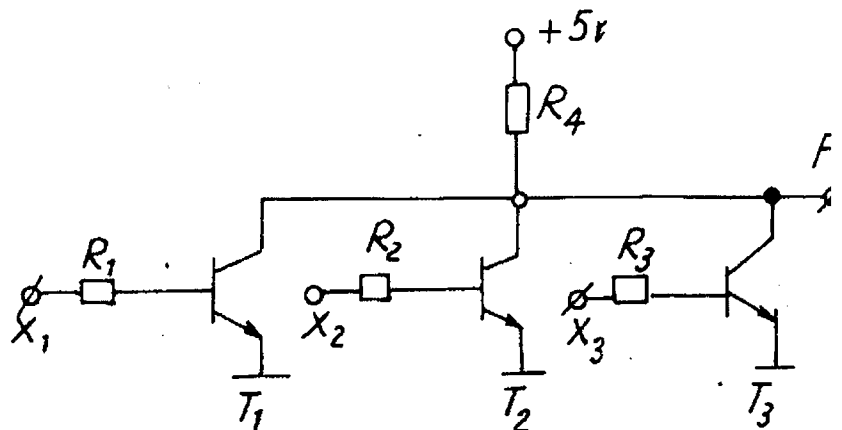
Hình 6.19

- Tìm biểu thức F_1 và F_2 ở dạng tối thiểu.
- Ở dạng đầy đủ, tìm mối liên hệ logic giữa F_1 và F_2 lập bảng trạng thái của chúng.

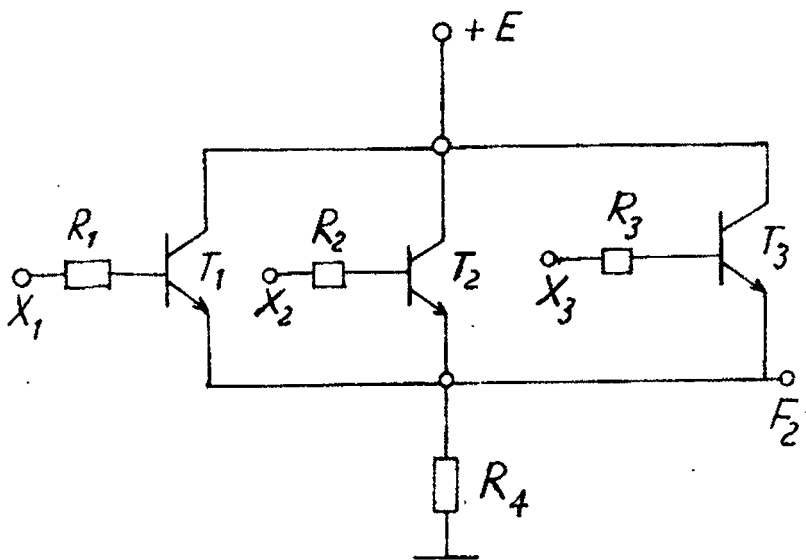
Bài tập 6.26. Cho các mạch điện tử hình 6.20 và 6.21.

Giả thiết đầu vào các biến logic X_1, X_2, X_3 là các xung điện áp dương 2 mức 0V và +5V, tải R_1 nối tới đầu ra có giá trị đủ lớn ($R_1 > R_4$).

$$R_1 = R_2 = R_3 = 3,6 \text{ k}\Omega, \\ R_4 = 1,5 \text{ k}\Omega$$



Hình 6.20



Hình 6.21

a) Xác định trạng thái logic của $F_{1,2}$ theo tất cả các trạng thái logic của các biến vào X_1, X_2, X_3 (với quy ước $X_i = 0$ khi ở 0V và $X_i = 1$ khi ở +5V).

b) Với nội trở nguồn điện áp X_i đủ bé ($R_{\text{nguồn}} \approx 0$) $\beta_1 = \beta_2 = \beta_3 = 70$; $U_{BE} = +0,7V$ (ở trạng thái mở). Tính dòng và áp trên các cực của T_i khi nó ở 1 trong

hai trạng thái : mở bão hòa và khóa ngắt dòng.

c) Biểu diễn kết quả của câu a) theo 1 đồ thị thẳng hàng với giá trị trạng thái các biến X_i tùy chọn (phải chứa hết mọi khả năng có thể).

d) Nếu chỉ có 2 cửa vào có các biến X_i tác động thì người ta xử lí đầu vào thứ 3 không dùng tới theo 3 cách :

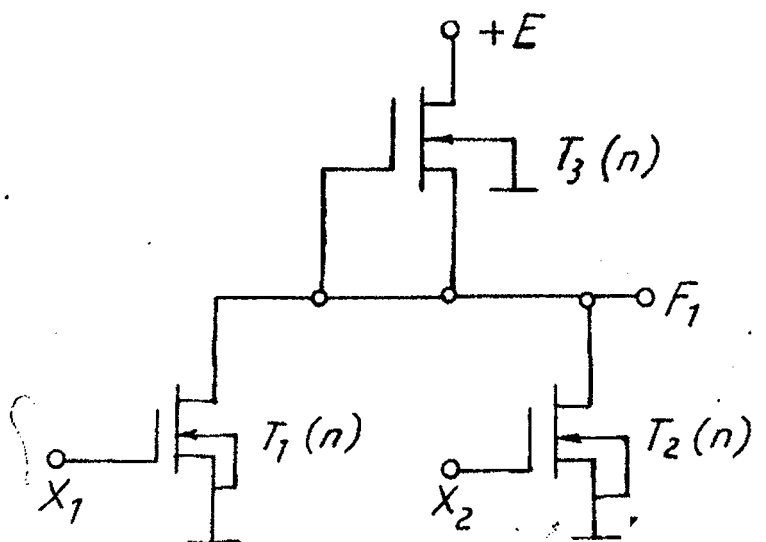
- 1) để hở mạch
- 2) nối đầu vào này với điểm 0V
- 3) nối đầu vào này với điểm $+5V = E$

Với mỗi hình vẽ 6.20 và 6.21 cách nào đúng ? Lí do ?

Bài tập 6.27. Cho các mạch điện tử hình 6.22 và 6.23, các FET làm việc ở chế độ chuyển mạch khi ở lối vào có các xung điện áp dương X_1, X_2 tác động.

a) Xác định trạng thái giá trị logic của F_1 và của F_2 theo tất cả các khả năng khác nhau của X_1 và X_2

(Lưu ý các MOSFET kênh p là loại khóa thường)



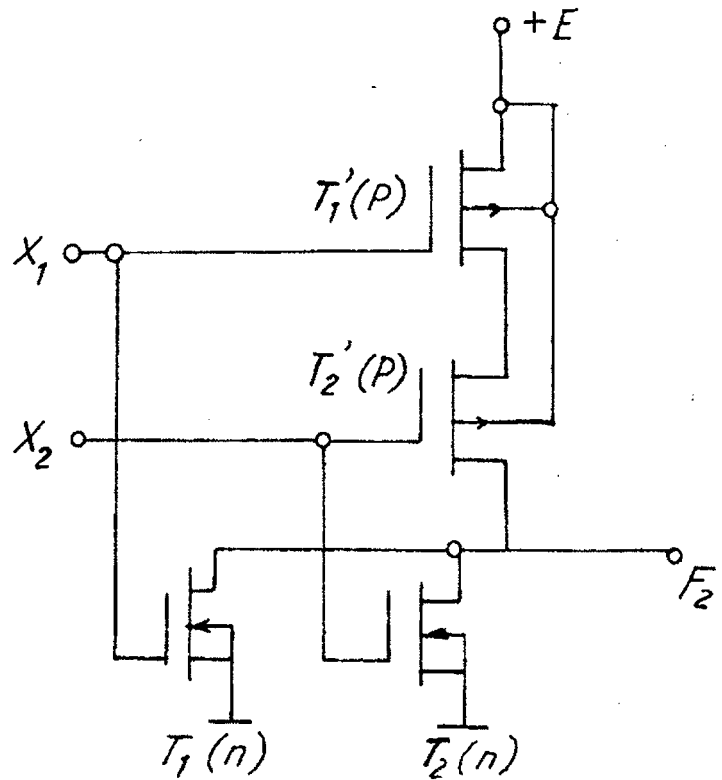
Hình 6.22

mở còn kênh n là loại khóa thường đóng liên quan tới 2 chế độ nghèo và chế độ giàu tương ứng của chúng)

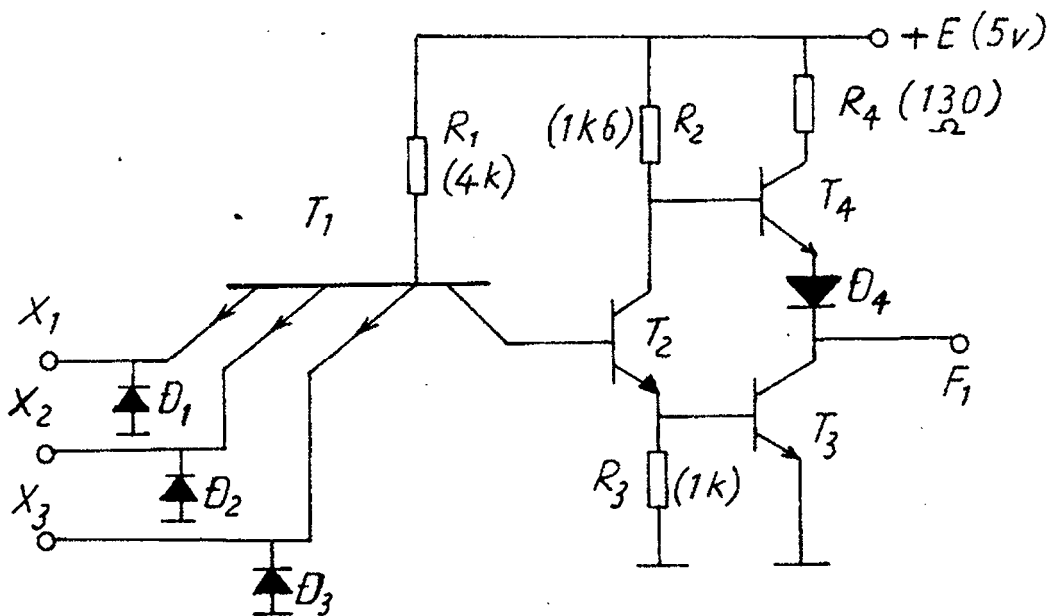
b) Minh họa kết quả câu a) trên các đồ thị thời gian thẳng hàng $F_1(t)$, $F_2(t)$ theo các $X_1(t)$ và $X_2(t)$ cho trước (với mọi khả năng có thể). Lập bảng trạng thái của F_1 và F_2 .

c) Hãy suy rộng cấu trúc và các kết quả cho 3 biến X_1 , X_2 , X_3 : (hình vẽ cấu tạo và bảng trạng thái).

Bài tập 6.28. Cho các mạch điện tử hình 6.24 và 6.25

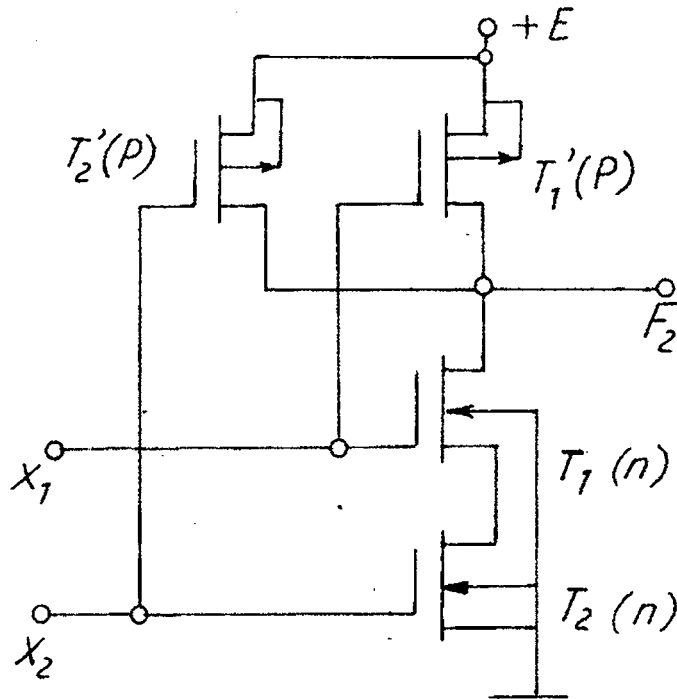


Hình 6.23



Hình 6.24

Các Tranzito Bi-T và MOSFET làm việc ở chế độ chuyển mạch khi có xung dương X_1 , X_2 và X_3 tác động ở lối vào (với MOSFET loại kênh p là khóa thường mở vì ở chế độ nghèo còn MOSFET kênh n là loại khóa thường ngắt vì làm việc ở chế độ giàu).



Hình 6.25

a) Xác định tất cả các trạng thái giá trị có thể của F_1 và của F_2 theo các khả năng của biến vào (khi phân tích trạng thái của các tranzito trong sơ đồ).

Qua đó lập bảng trạng thái của F_1 và của F_2 theo X_i .

b) Biểu diễn $F_1(t)$ và $F_2(t)$ theo các giá trị $X_i(t)$ tự chọn (chứa mọi khả năng có thể).

Bài tập 6.29. Cho các hàm logic 4 biến F_1

(X_1, X_2, X_3, X_4) có các bảng trạng thái sau :

m_i	X_1	X_2	X_3	X_4	F_1	F_2	F_3	F_4	m_i	X_1	X_2	X_3	X_4	F_1	F_2	F_3	F_4
m_0	0	0	0	0	0	0	0	0	m_8	1	0	0	0	1	1	0	0
m_1	0	0	0	1	0	0	0	1	m_9	1	0	0	1	1	1	0	1
m_2	0	0	1	0	0	0	1	1	m_{10}	1	0	1	0	1	1	1	1
m_3	0	0	1	1	0	0	1	0	m_{11}	1	0	1	1	1	1	1	0
m_4	0	1	0	0	0	1	1	0	m_{12}	1	1	0	0	1	0	1	0
m_5	0	1	0	1	0	1	1	1	m_{13}	1	1	0	1	1	0	1	1
m_6	0	1	1	0	0	1	0	1	m_{14}	1	1	1	0	1	0	0	1
m_7	0	1	1	1	0	1	0	0	m_{15}	1	1	1	1	1	0	0	0

a) Thiết lập bìa Cacno cho hệ các hàm ra F_i ($i = 1, 2, 3, 4$) tương ứng với bảng trạng thái đã cho.

b) Thực hiện tìm hàm tối thiểu của F_i theo phương pháp Cacno.

c) Xây dựng cấu trúc logic thực hiện các hàm đã tối thiểu từ các phần tử logic cơ bản :

- 1) Từ các phần tử hỗn hợp NO, AND và OR.
- 2) Từ chỉ các phần tử NAND (hoặc NOR)

3) Từ các phân tử thông dụng (nếu có thể)

Bài tập 6.30. Cho các hàm 4 biến $G_j (X_1, X_2, X_3, X_4)$ ($j = 1, 2, 3, 4$) có các bảng trạng thái sau :

a) Thiết lập bìa Cacno cho các hàm G_j ($j = 1, 2, 3, 4$) phù hợp với bảng trạng thái đã cho.

b) Tối thiểu hóa các hàm G_j theo quy tắc Cacno.

c) Xây dựng cấu trúc các hàm tối thiểu từ :

m_i	X_1	X_2	X_3	X_4	G_1	G_2	G_3	G_4	m_j	X_1	X_2	X_3	X_4	G_1	G_2	G_3	G_4
m_0	0	0	0	0	0	0	0	0	m_8	1	0	0	0	1	1	0	0
m_1	0	0	0	1	0	1	0	0	m_9	1	0	0	1	1	0	0	0
m_2	0	0	1	0	0	1	0	1	m_{10}	1	0	1	0	1	0	0	1
m_3	0	0	1	1	0	1	1	1	m_{11}	1	0	1	1	1	0	1	1
m_4	0	1	0	0	0	1	1	0	m_{12}	1	1	0	0	1	0	1	0
m_5	0	1	0	1	1	1	1	0	m_{13}	1	1	0	1	0	0	1	0
m_6	0	1	1	0	1	1	1	1	m_{14}	1	1	1	0	0	0	1	1
m_7	0	1	1	1	1	1	0	1	m_{15}	1	1	1	1	0	0	0	1

1) Các hàm NAND hoặc NOR

2) Các hàm F tương đương hay F khác dấu (nếu có thể)

Bài tập 6.31. Cho các hàm 4 biến $H_k (X_1, X_2, X_3, X_4)$ ($k = 1, 2, 3, 4$) có các bảng trạng thái sau

m_i	X_1	X_2	X_3	X_4	H_1	H_2	H_3	H_4	m_j	X_1	X_2	X_3	X_4	H_1	H_2	H_3	H_4
m_0	0	0	0	0	0	0	0	0	m_8	1	0	0	0	1	0	0	0
m_1	0	0	0	1	1	1	1	1	m_9	1	0	0	1	0	1	1	1
m_2	0	0	1	0	1	1	1	0	m_{10}	1	0	1	0	0	1	1	0
m_3	0	0	1	1	1	1	0	1	m_{11}	1	0	1	1	0	1	0	1
m_4	0	1	0	0	1	1	0	0	m_{12}	1	1	0	0	0	1	0	0
m_5	0	1	0	1	1	0	1	1	m_{13}	1	1	0	1	0	0	1	1
m_6	0	1	1	0	1	0	1	0	m_{14}	1	1	1	0	0	0	1	0
m_7	0	1	1	1	1	0	0	1	m_{15}	1	1	1	1	0	0	0	1

a) Viết bìa Cacno cho các hàm H_k tương ứng với các bảng trạng thái đã cho.

b) Tìm các hàm H_k sau khi đã tối thiểu hóa bằng phương pháp Cacno.

c) Xây dựng cấu trúc logic thực hiện hệ hàm H_k đã tối thiểu. (Cần tìm dạng cấu trúc gọn nhất có thể khi dùng các phần tử logic cơ bản hay phần tử logic thông dụng)

Bài tập 6.32. Cho các hàm 4 biến A_i, B_j, C_k với các biến vào là X_3, X_2, X_1, X_0 biểu thị ở các bảng trạng thái sau :

m_i	X_3	X_2	X_1	X_0	A_3	A_2	A_1	A_0	B_3	B_2	B_1	B_0	C_3	C_2	C_1	C_0
m_0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
m_1	0	0	0	1	0	0	0	1	0	0	0	1	0	1	0	0
m_2	0	0	1	0	0	0	1	0	0	0	1	0	0	1	0	1
m_3	0	0	1	1	0	0	1	1	0	0	1	1	0	1	1	0
m_4	0	1	0	0	1	0	0	0	0	1	0	0	0	1	1	1
m_5	0	1	0	1	0	1	1	1	1	0	1	1	1	0	0	0
m_6	0	1	1	0	1	1	0	0	1	1	0	0	1	0	0	1
m_7	0	1	1	1	1	1	0	1	1	1	0	1	1	0	1	0
m_8	1	0	0	0	1	1	1	0	1	1	1	0	1	0	1	1
m_9	1	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0
m_{10}																

a) Thiết lập bìa Cacno cho các hàm ra A_i (B_j hoặc C_k)

b) Tối thiểu các hệ hàm ra A_i (hoặc B_j hoặc C_k) theo quy tắc Cacno (lưu ý rằng các tổ hợp không dùng tới $m_{10} \div m_{15}$ có thể gán cho trị 1 để tối thiểu các hàm đã cho).

c) Xây dựng cấu trúc logic thực hiện các hàm A_i, B_j, C_k sau khi đã tối thiểu.

Bài tập 6.33. Xuất phát từ bảng trạng

thái đã thu gọn của Trơ vạt năng JK :

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

a) Hãy thiết lập bảng trạng thái đầy đủ của hàm ra Q_{n+1} phụ thuộc 3 biến logic J, K và Q_n .

b) Viết bìa Cacno cho hàm ra Q_{n+1} .

c) Tối thiểu hóa Q_{n+1} , đưa nó về dạng tối giản và qua đó viết phương trình đặc tính của Trigo JK.

Bài tập 6.34. Xuất phát từ bảng trạng thái đã rút gọn của Trigo RS, trong đó trạng thái đánh dấu X là trạng thái cấm.

R	S	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	X

a) Lập bảng trạng thái đầy đủ của hàm ra Q_{n+1} phụ thuộc 3 biến vào R, S và Q_n .

b) Viết hệ phương trình hàm ra (một phương trình cho Q_{n+1} và 1 phương trình cho điều kiện cấm).

c) Rút gọn hệ phương trình đã thiết lập đưa về dạng phương trình đặc tính của RS-Trigo (nhờ các quy tắc của đại số logic).

Bài tập 6.35. Cho 1 hàm 4 biến có dạng $F = X_1 (X_2 + X_3) + X_3 X_4$

a) Viết biểu thức của F ở dạng đầy đủ và qua đó thiết lập bảng trạng thái của F.

b) Xây dựng cấu trúc logic thực hiện F với các phần tử thuần nhất NAND hoặc NOR 2 cửa vào.

c) Với dạng $X_1(t)$, $X_2(t)$, $X_3(t)$ và $X_4(t)$ cho trước (tự chọn) lập đồ thị F(t) tương ứng (chú ý phải bao gồm mọi tổ hợp trạng thái có thể của $X_i(t)$).

Bài tập 6.36. Một mạng cấu trúc tổ hợp kết hợp với 1 trigo RC làm việc với 3 biến logic lối vào (theo trật tự X_2 , X_1 , X_0 ứng với các cấp nhị phân 2^2 , 2^1 và 2^0 tương ứng). Hàm ra có tính chất sau :

1) Nếu $X_2 X_1 X_0 \geq m_5$ thì lối ra ở trạng thái 1.

2) Nếu $X_2 X_1 X_0 \leq m_2$ thì lối ra ở trạng thái 0.

3) Nếu $X_2 X_1 X_0 < m_5$ và $X_2 X_1 X_0 > m_2$

Ở đây $m_5 = x_2 \bar{x}_1 x_0$, $m_2 = \bar{x}_2 x_1 \bar{x}_0$ thì lối ra giữ ở trạng thái trước đó nó có.

a) Thiết lập bảng trạng thái của mạch tổ hợp thỏa mãn các điều kiện đã nêu trên.

b) Tối thiểu hóa hàm ra của mạng tổ hợp trên.

c) Hãy xây dựng sơ đồ toàn bộ bằng cách nối tiếp hệ trên với 1 RS Trơ và giải thích hoạt động qua bảng trạng thái RS của nó.

$$\text{ĐS } \begin{cases} f_S = X_1(X_2 + X_3) \\ f_R = \bar{X}_1(\bar{X}_2 + \bar{X}_3) \end{cases}$$

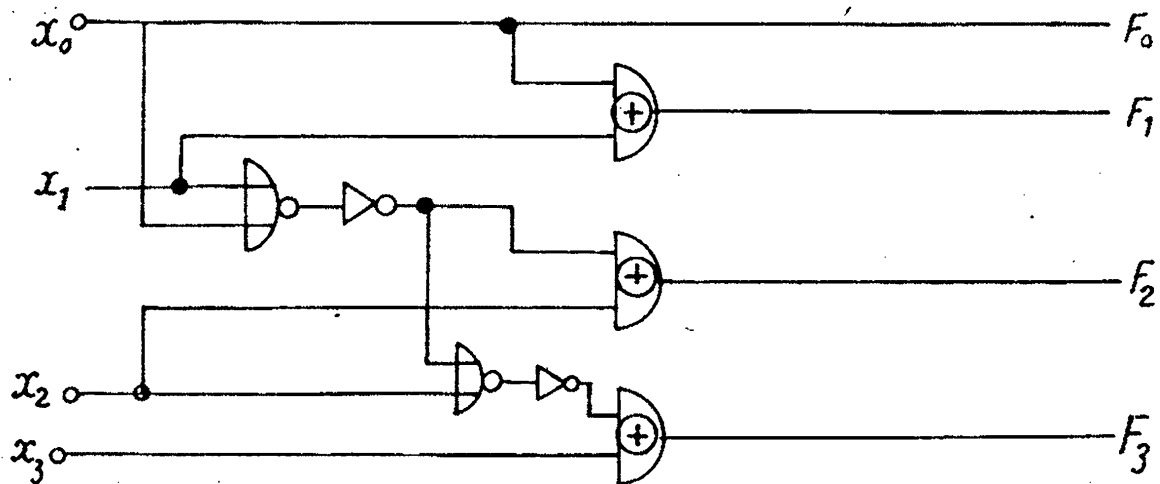
Bài tập 6.37. Xây dựng các cấu trúc thuần nhất (NAND hoặc NOR) thực hiện các hàm logic có biểu thức sau :

- | | |
|----------------------------|----------------------------------|
| 1) $(A + B)(C + D)E$ | 6) $AB + CD + E$ |
| 2) $(A + B)\bar{C}(D + E)$ | 7) $(A + B)(C + D)\bar{E}$ |
| 3) $AB + \bar{C} + DE$ | 8) $A\bar{B} + \bar{C}D + E$ |
| 4) $A(B + C)D$ | 9) $(\bar{A} + B)(\bar{C} + D)$ |
| 5) $A + BC + \bar{D}$ | 10) $(A + \bar{B})(C + \bar{D})$ |

Tìm cách viết bảng trạng thái của các hàm trên 1 cách thu gọn (nhờ đặt thêm các biến phụ).

(Ở đây A, B, C, D, E là các biến logic lối vào).

Bài tập 6.38. Cho cấu trúc logic hình 6.26.



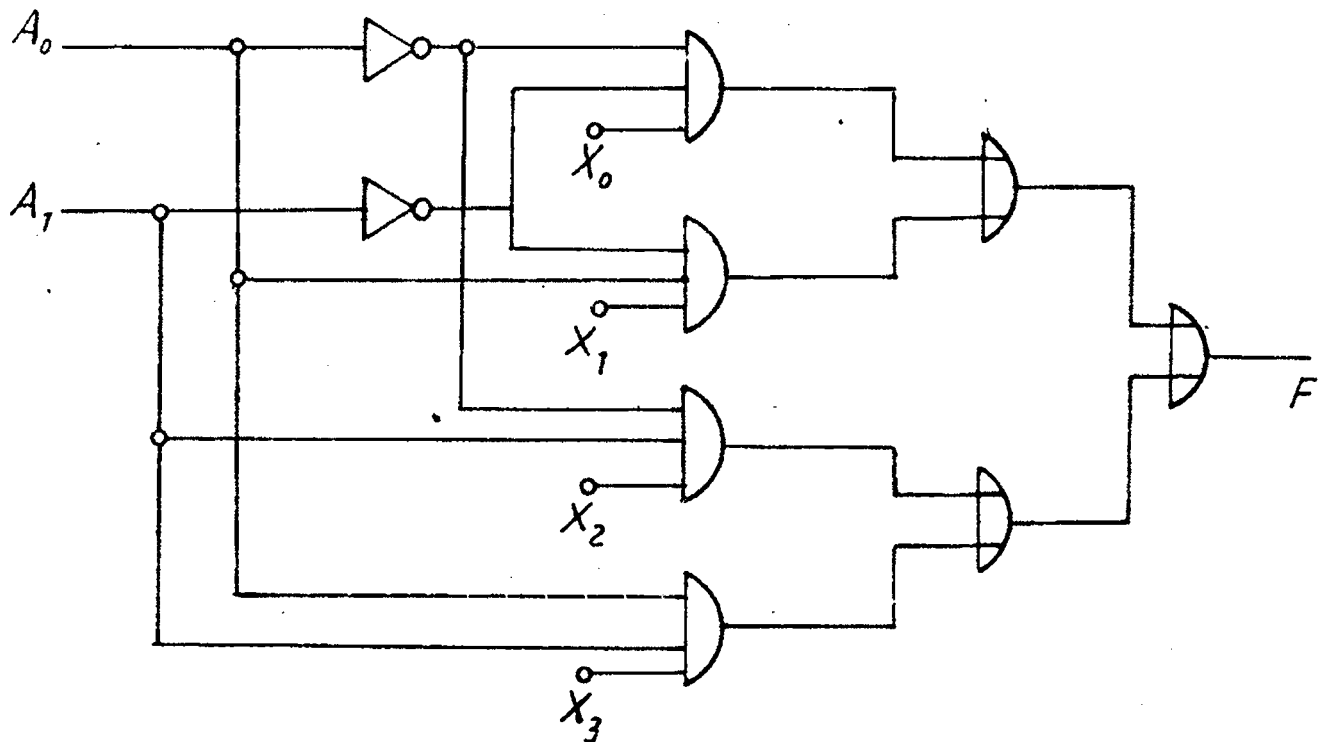
Hình 6.26

a) Viết biểu thức hệ hàm logic F_0, F_1, F_2, F_3 theo các biến logic đầu vào x_i .

b) Thiết lập bảng chân lí của các hàm F_0, F_1, F_2, F_3 (viết chung trong 1 bảng 4 cột biến vào, 4 cột hàm ra).

c) Viết bìa Cacho cho các hàm F_0, F_1, F_2 , và F_3 và tìm các biểu thức tối thiểu của chúng.

Bài tập 6.39. Cho cấu trúc logic hình 6.27.



Hình 6.27

a) Tìm biểu thức logic của hàm F theo các biến vào

b) Có nhận xét gì về tính chất của mạch (nếu coi các biến vào X_i là chứa thông tin còn các biến A_j để điều khiển).

c) Mở rộng cho trường hợp nhóm A_j gồm 3 biến X_i gồm 2^3 biến và trường hợp A_j gồm 4 biến X_i gồm 2^4 biến.

d) Tìm cấu trúc tương đương với cấu trúc hình 6.27 thực hiện bằng các phần tử NAND (hay bằng các phần tử NOR).

Bài tập 6.40. Trong các bài tập 6.29 đến 6.32, với các bảng trạng thái đã cho, đổi lẫn vai trò đầu vào và đầu ra (tức là lối ra sẽ là các hàm X_j , còn lối vào sẽ là các biến A_j (hoặc B_j, \dots, F_j, G_j , hoặc H_j) ví dụ với bài 6.29 có bảng trạng thái khi viết ngược lại là :

Vào				Ra				Vào				Ra			
F_1	F_2	F_3	F_4	X_1	X_2	X_3	X_4	F_1	F_2	F_3	F_4	X_1	X_2	X_3	X_4
0	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0
0	0	0	1	0	0	0	1	1	1	0	1	1	0	0	1
0	0	1	1	0	0	1	0	1	1	1	1	1	0	1	0
0	0	1	0	0	0	1	1	1	1	1	0	1	0	1	1
0	1	1	0	0	1	0	0	1	0	1	0	1	1	0	0
0	1	1	1	0	1	0	1	1	0	1	1	1	1	0	1
0	1	0	1	0	1	1	0	1	0	0	1	1	1	1	0
0	1	0	0	0	1	1	1	1	0	0	0	1	1	1	1

Các câu hỏi tương tự với các bảng đã thiết lập trên :

- Lập bảng Cacho cho hệ các hàm ra X_i ứng với bảng trạng thái đã cho.
- Tối thiểu hóa các hàm X_i theo quy tắc Cacho.
- Xây dựng cấu trúc logic của các bộ biến đổi mã loại này

MỤC LỤC

	<i>Trang</i>
Lời nói đầu	3

PHẦN I

KĨ THUẬT TƯƠNG TỰ

<i>Chương 1</i> : Tóm tắt lí thuyết	4
<i>Chương 2</i> : Bài tập phần I có lời giải	15
<i>Chương 3</i> : Đề bài tập phần I	83

PHẦN II

KĨ THUẬT XUNG - SỐ

<i>Chương 4</i> : Tóm tắt lí thuyết	118
<i>Chương 5</i> : Bài tập phần II có lời giải	129
<i>Chương 6</i> : Đề bài tập phần II	164